



(43) 国際公開日
2004 年 7 月 22 日 (22.07.2004)

PCT

(10) 国際公開番号
WO 2004/061854 A1

- (51) 国際特許分類⁷: G11C 11/15
- (21) 国際出願番号: PCT/JP2003/016981
- (22) 国際出願日: 2003 年 12 月 26 日 (26.12.2003)
- (25) 国際出願の言語: 日本語
- (26) 国際公開の言語: 日本語
- (30) 優先権データ:
特願 2003-455 2003 年 1 月 6 日 (06.01.2003) JP
- (71) 出願人 (米国を除く全ての指定国について): 日本電気株式会社 (NEC CORPORATION) [JP/JP]; 〒108-0014 東京都港区芝五丁目 7 番 1 号 Tokyo (JP).

(HONDA, Takeshi) [JP/JP]; 〒108-0014 東京都港区芝五丁目 7 番 1 号 日本電気株式会社内 Tokyo (JP). 崎村 昇 (SAKIMURA, Noboru) [JP/JP]; 〒108-0014 東京都港区芝五丁目 7 番 1 号 日本電気株式会社 Tokyo (JP). 杉林 直彦 (SUGIBAYASHI, Tadahiko) [JP/JP]; 〒108-0014 東京都港区芝五丁目 7 番 1 号 日本電気株式会社内 Tokyo (JP).

(74) 代理人: 山下 穰平 (YAMASHITA, Johei); 〒105-0001 東京都港区虎ノ門五丁目 1 3 番 1 号 虎ノ門 4 O M T ビル 山下国際特許事務所 Tokyo (JP).

(81) 指定国 (国内): CN, KR, US.

(84) 指定国 (広域): ヨーロッパ特許 (AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HU, IE, IT, LU, MC, NL, PT, RO, SE, SI, SK, TR).

(72) 発明者; および

(75) 発明者/出願人 (米国についてのみ): 本田 雄士

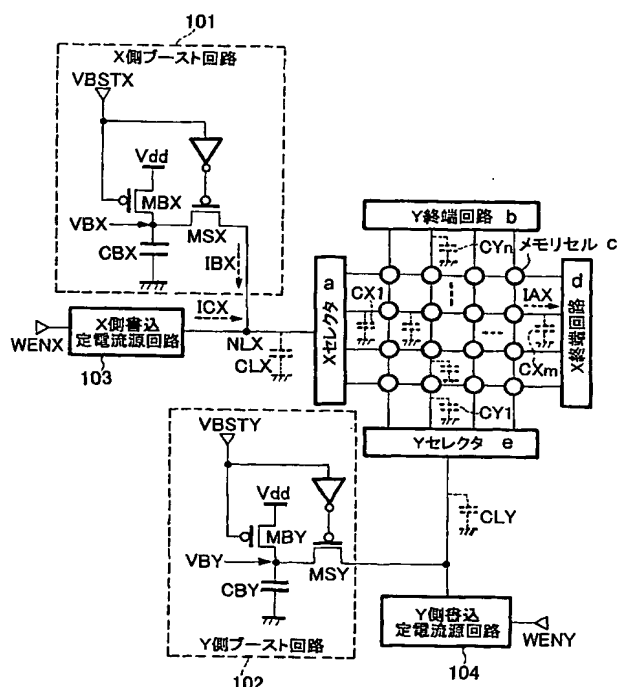
添付公開書類:

— 国際調査報告書

[続葉有]

(54) Title: SEMICONDUCTOR MEMORY DEVICE

(54) 発明の名称: 半導体記憶装置



- 101...X-SIDE BOOST CIRCUIT
103...X-SIDE WRITE CONSTANT CURRENT SOURCE CIRCUIT
a...X SELECTOR
b...Y TERMINATION CIRCUIT
c...MEMORY CELL
d...X TERMINATION CIRCUIT
e...Y SELECTOR
102...Y-SIDE BOOST CIRCUIT
104...Y-SIDE WRITE CONSTANT CURRENT SOURCE CIRCUIT

(57) Abstract: A semiconductor memory device in which information is written in a memory element by applying current. An increase in the time for a write current to reach a predetermined value attributed to a parasitic capacitor is prevented. Therefore, the write rate is increased, and the power consumption is reduced. The semiconductor memory device comprises a memory element for storing information, a constant current source (103) provided for writing information in

[続葉有]



2文字コード及び他の略語については、定期発行される各PCTガゼットの巻頭に掲載されている「コードと略語のガイダンスノート」を参照。

the memory element by applying current, and a boost circuit (101) disposed in a predetermined position related to the memory element and adapted for charging a parasitic capacitor until the amount of current applied by the constant current source reaches the amount of current required to write information in the memory element.

(57) 要約: 本発明は、電流を流すことにより記憶素子に情報を書き込む半導体記憶装置に関する。本発明は、寄生キャパシタにより書込電流が所定値に達するまでの時間が長引くことを防止することにより、書込み速度を速め、消費電力を削減することを目的とする。情報を記憶する記憶素子と、電流を流すことにより前記記憶素子に情報を書き込むために設けられた定電流源103と、前記記憶素子に関連した所定位置において、前記定電流源により流された電流の量が前記記憶素子に情報を書き込むために必要な電流の量に達するまでの間に、寄生キャパシタを充電するためのブースト回路101と、を備える。

明細書

半導体記憶装置

5

技術分野

本発明は、電流を流すことにより記憶素子に情報を書き込む半導体記憶装置に関し、特に、電流を流すことにより発生した磁界によりトンネル磁気抵抗素子に情報を書き込む半導体記憶装置に関する。

10

背景技術

近年、携帯電話等の急速な普及により、不揮発、大記憶容量、低電圧動作、低消費電力特性を持つメモリの需要が高まっている。MRAM（磁気ランダムアクセスメモリ）は、これらの特性を備えたメモリとして期待されている。MRAMの記憶素子はTMR（トンネル磁気抵抗）素子で構成され、各TMR素子は、例えば第16図に示すような構成となっている。TMR素子は、順次に固定強磁性層（ピン層）901、トンネル絶縁層902、および自由強磁性層（フリー層）903を積層することにより構成されている。上記ピン層901の磁化の向きは、製造時に固定されている。これに対して、フリー層903の磁化方向は配線電流の生成する磁場により反転可能になっており、例えば、TMR素子の上下に配置されているビット線BLとワード線WLに流れる電流の生成する磁場により反転することができる。その磁化の向きによって「1」または「0」が割り当てられている。ピン層901とフリー層903の磁化の相対方向が平行な時（第16図での「0」）は電気抵抗が小さく、反平行な時（第16図での「1」）は電気抵抗が大きい。この電気抵抗の差を検出することにより、記憶素子の状態を読み出すことが可能である。

このような構成のTMR素子をメモリセルとして使用する半導体記憶装置は、

第17図(A)のように、複数個のメモリセル904がマトリックス状に配置された構成を持ち、各メモリセルの上方において、横方向に延びる複数本のビット線BL905と、各メモリセルの下方において、縦方向に延びる複数本のワード線WL906と、を構成要素としている。各メモリセル904は、上記TMR素子により構成されており、選択セルの上下に存在するビット線BLとワード線WLに電流が流れた時、それぞれの電流が生成する磁場 H_Y 、 H_X の組み合わせが所定の条件を満たした時、フリー層の磁化方向が反転され得るようになっている。この磁化反転に必要な最低磁場の組み合わせは、第17図(B)に示すような、アステロイドカーブと呼ばれる曲線を成す(第17図(B)では、「0」から「1」への反転を考えている)。アステロイド曲線の外側(“Reversal”領域及び“Multiple Write”領域)の磁場を加えれば、選択セルSに対して書込みが行われる。例えば、第17図(B)において、X方向磁場 H_{DX} 、Y方向磁場 H_{DY} を加えると、選択セルSにおける磁場ベクトル $(H_X, H_Y) = (H_{DX}, H_{DY})$ は反転領域にあるため、磁化反転がおきる。つまり、その磁化の向きを反転させることにより、「0」または「1」のデータ書込を行なうことができるようになっている。またこのとき、選択ビット線上、選択ワード線上の非選択メモリセル U_X 、 U_Y においては、アステロイドカーブの内側(“Retention”領域)に収まるような磁場 H_{DX} のみ、または H_{DY} のみが存在するため、磁化反転は起きない。つまり、選択的書込みが行われる。

第17図(B)における磁場 (H_X, H_Y) は、Ampereの法則($I = H / 2\pi r$ 、 r は配線中心と磁性体中心間の距離)により、ワード線電流 I_{DY} 、ビット線電流 I_{DX} について書き直すことが出来る。書き直した結果を第17図(C)に示す。ワード線電流 I_{DY} 、ビット線電流 I_{DX} 電流を流すと、選択セルSにおける電流の組み合わせ $(I_{BL}, I_{WL}) = (I_{DX}, I_{DY})$ は反転領域にあるため、磁化反転がおきる。つまり、その磁化の向きを反転させることにより、「0」または「1」のデータ書込を行なうことができるようになっている。またこのとき、選択ビット線上、選択ワード線上の非選択メモリセル U_X 、 U_Y においては、アステロイドカーブの内側(「保持」領域)に収まるような電流 I_{DX} 、 I_{DY} のみが流れるため、磁化反転は起きない。つまり、選択的書込みが行われる。

ところがMRAMの場合は、第17図(A)が示すように、選択ビット線BL905と選択ワード線WL906には非選択セルが多数接続されているため、配線に電流が流れるとこれらの非選択セルが擾乱磁場を受けることになる。例えば、第17図(C)における格子模様の領域(“Multiple Write”領域)にある書込電流を流すと、非選択メモリセル U_x での電流 I_{BL} 、非選択メモリセル U_y での電流 I_{WL} はアステロイドカーブの外側に出るため、非選択メモリセル U_x 、 U_y に対しても書込みが行われる。つまり、誤書込みが起こる。従って、選択的書込みを行なうためには、第17図(C)における白抜き部分“Reversal”領域内の電流を流す必要があり、書込電流値の正確な調整が必要である。

なお、本発明に関連する先行技術文献として以下のものがある。

特開2001-195878号公報

特開2001-325791号公報

特開2002-008367号公報

特開2002-074974号公報

特開2002-170374号公報

特開2002-170375号公報

特開2002-170376号公報

特開2002-197852号公報

特開2002-156184号公報

発明の開示

磁性体の磁化反転時間は1ナノ秒以下と高速であることから、MRAMは高速書込みが原理的に可能であることが、その長所の一つとなっている。しかし、上記従来の技術で説明したように、MRAMの書込電流は正確である必要があるため、書込電流源としては、定電流源を使う必要がある。ところが、上記のような従来の定電流書込回路では、書込電流源がオンされた直後では、配線およびセレクトクタに存在する寄生キャパシタに電荷が蓄積されるために、実際に選択ビット線BL905及び選択ワード線WL906の選択セルの位置に定電流が流れるまで

に一定の時間が必要であった。このため、書込み時の消費電力が増大する問題を有していた。この問題を、第18～21図を用いて説明する。第18図はメモリセルアレイ（図では4×4のセルを表示）であり、X側、Y側にそれぞれ定電流源回路が用意されている。理想的には第19図（A）で示すように、この定電流源が出力する定電流 I_{CX} 、 I_{CY} はアレイ内でもそのまま定電流 I_{AX} 、 I_{AY} として流れる。このため、瞬時に書込電流が立ち上げることが期待される。しかし、実際の回路には、第18図に示すような寄生キャパシタ CLX 、 CLY 、 $CX1$ 、 \dots 、 CXm 、 $CY1$ 、 \dots 、 CYm が存在する（ m 行 m 列アレイの場合）。そのため定電流源が、アレイ外においては定電流 I_{CX} 、 I_{CY} を流しても、アレイ内での電流は、特に電流を流した直後において上記の寄生キャパシタを充電するために費やされるため、電流波形は第19図（B）のように鈍る。特にMRAMの場合は、特定の値以下の電流は書込能力を有さないため、電流値が必要な値になるまで待たなくてはならない。このため、高速な書込みが難しくなるばかりでなく、第19図（B）斜線部のように無駄な電流が生じる。このため、特にMRAMの場合は書込電流値が大きい（数mA）ことを反映して、消費電力が増大してしまうという難点があった。

この問題は、メモリの容量が大きくなるに従って顕著になる。第20図は、大記憶容量アレイに従来型の定電流源回路を用いて電流を流す時の構成を示すブロック図である。大記憶容量アレイは、 $N \times M$ 個の小アレイで構成されているとする。メモリ占有面積を大きくするために、X側の電流源は同一行の小アレイ M 個に対して書込みを行い、Y側の電流源は同一列の小アレイ N 個に対して書込みを行なう構成になっている。このため、例えばX側の書込電流に関しては、小アレイ（1，1）に電流を流す場合の電流経路 I と、小アレイ（1， M ）に電流を流す場合の電流経路 M は、電流経路の長さが異なる。これらの電流経路には配線抵抗 R_p 、寄生キャパシタ C_p が付随するため、定電流を流す場合でも、大体時定数 $\Delta t = C_p R_p$ で与えられる遅延時間が生じる。電流経路が異なると、配線抵抗と寄生キャパシタが異なるのはもちろん、配線電位が異なることによって、寄生キャパシタに充電するのに必要な電荷量も異なってくる。この違いを、第21図を用いて説明する。終端電位を V_0 、小アレイ921とセクタ922の合成

抵抗を r 、小アレイ 921 とセレクトアレイ 922 の合成寄生キャパシタの容量を C_A とし、小アレイ k ($1 < k < M$) を選択したとすると、電流 I を流す時に寄生キャパシタに蓄積される電荷量は、

$$Q_k = CV_0 + \sum_{j=1}^k C(V_0 + R_j I) \\ + C_A(V_0 + R_k I) + \sum_{j=1}^k C(V_0 + R_k I + rI + R_j I) \\ = ak^2 + bk + c$$

5 但し

$$a = 2CRI \\ b = C(R + r)I + C_A RI + 2CV_0 \\ c = (C + C_A)V_0 \\ (1)$$

となり、アレイ位置 k に関して 2 次式、電流値 I に関して 1 次式となる。

10 しかしながら、従来型の定電流源を用いただけでは、選択アレイの場所に依存する寄生キャパシタの影響を最小化し、短時間で書込電流を流すことは困難であった。また、寄生キャパシタの容量の大きさは書込電流値にも依存するため、実際に流す電流値に従って寄生キャパシタの影響を最小化し、短時間で書込電流を流すことは困難であった。さらに、実際に付随する寄生キャパシタはチップによ

15 って異なる可能性があるため、寄生キャパシタの影響を最小化して短時間で書込電流を流すことは困難であった。

本発明は、寄生キャパシタにより書込電流が所定値に達するまでの時間が長引くことを防止することにより、書込み速度を速め、消費電力を削減することを目的とする。

20 上記の課題を解決するために、本発明の半導体記憶装置は、書込電流源路が、書込スタンバイ時に電荷を蓄積し、書込動作時に前記電荷が瞬間的に開放される

回路（以下、ブースト回路と呼ぶ）を有する構成とする。本ブースト回路を用いることで、配線やセレクトゲートに存在する寄生キャパシタを瞬間的に充電することができ、その結果、ブースト回路と別個に存在する定電流源回路から流れる電流が寄生キャパシタに対して充電する量を小さくすることができるため、書込電流は短時間で立ち上がることが可能になる。結果的に短時間で書き込むことができ、電力消費量の増大を防ぐことができる。

また、本半導体記憶装置のブースト回路は、複数個のブースト用キャパシタとキャパシタセクタから成り、セルアレイの場所や電流値によって容量を選択可能な構成となっているため、任意のセル、任意の電流についての書込みにおいて効果を持たせることができる構成となっている。

さらに本半導体記憶装置のブースト回路は、上記のブースト用キャパシタを選択パターンに従って等比級数的に分割しているため、最大ブースト時（最遠方アレイ書込み、最大電流）にブースト用キャパシタが全て使用される構成となっている。このため、ブースト用キャパシタの占有面積に無駄が生じることがないため、アレイ占有面積を高めることが出来る。

本発明によれば、情報を記憶する記憶素子と、電流を流すことにより前記記憶素子に情報を書き込むために設けられた定電流源と、前記記憶素子に関連した所定位置において、前記定電流源により流された電流の量が前記記憶素子に情報を書き込むために必要な電流の量に達するまでの間に、寄生キャパシタを充電するためのブースト回路と、を備えることを特徴とする半導体記憶装置が提供される。

上記の半導体記憶装置において、前記記憶素子は、トンネル磁気抵抗素子であってもよく、前記所定位置は、前記トンネル磁気抵抗素子に電流による磁界を与える位置であってもよい。

上記の半導体記憶装置において、前記ブースト回路は、前記寄生キャパシタを充電するための電荷を蓄積するコンデンサを備えていてもよい。

上記の半導体記憶装置は、前記コンデンサの両極間電圧を電源電圧以上にするための回路を更に備えていてもよい。

上記の半導体記憶装置において、前記コンデンサは複数有ってもよく、前記ブースト回路は、前記寄生キャパシタを充電するために必要な電荷の量に応じて、

充電に用いるコンデンサを切り替える切替手段を備えていてもよい。

上記の半導体記憶装置において、前記切替手段は、前記寄生キャパシタを充電するために必要な電荷の量に応じて、充電に用いるコンデンサの組み合わせを切り替えてもよい。

- 5 上記の半導体記憶装置において、前記複数のコンデンサのうちの少なくとも一部のものの容量は、相互に等比級数の関係にあってもよい。

上記の半導体記憶装置において、前記複数のコンデンサのうちの少なくとも一部のものの容量は、前記記憶素子に情報を書き込むために必要な電流の量に依存した前記寄生キャパシタの容量に従って決定されていてもよい。

- 10 上記の半導体記憶装置において、前記複数のコンデンサのうちの少なくとも一部のものの容量は、前記記憶素子の位置に依存した前記寄生キャパシタの容量に従って決定されていてもよい。

- 15 上記の半導体記憶装置において、前記複数のコンデンサのうちの少なくとも一部のものの容量は、プロセス条件に依存した前記寄生キャパシタの容量に従って決定されていてもよい。

本発明の半導体記憶装置は、電流経路に存在する寄生容量の電荷をブースト回路の電荷を蓄積する節点に還流させる環流手段を有するので消費電流の少ないMRAMを得ることができている。

- 20 本発明の半導体記憶装置は、前記ブースト回路に電荷を蓄積する時刻を前記電流源の活性化期間終了後に設定しているので、定電流源回路を安定的に動作させることができ、ひいては歩留まりの高いMRAMを得ることができている。

本発明の半導体記憶装置は、動作モードの履歴に依存して、前記電流経路に存在する寄生容量の電荷の一部を保持し、ブースト回路の放電を抑える電荷保持手段を有するので消費電流の少ないMRAMを得ることができている。

- 25 本発明によれば、スタンバイ時は電源からキャパシタに対する充電、動作時はキャパシタに蓄積された電荷の放電が行われることによって、寄生キャパシタに対する充電が短時間で行われ、書込時間を短縮することができる。また、一般にこれらの寄生キャパシタの大きさは、書込セルの位置や電流値に依存するが、複数のキャパシタアレイ、および適正なキャパシタを選択するキャパシタセレクト

を書込定電流源回路に付加することで、寄生キャパシタを適切な速度で充電することができる。つまり、高速書込みが実現できるため、特にMRAMの大記憶容量化に対して効果が大きい。

5

図面の簡単な説明

第1図は、本発明の第1の実施の形態による半導体記憶装置の構成を示すブロック図である。

10 第2図は、本発明の第1の実施の形態による半導体記憶装置で用いる定電流源回路の構成を示す回路図である。

第3図(A)は、本発明の第1の実施の形態による半導体記憶装置の書き込み時の動作を示すタイミングチャートである。

第3図(B)は、本発明の第1の実施の形態による半導体記憶装置の書き込み時の動作を示すもう一つのタイミングチャートである。

15 第4図は、本発明の第2の実施の形態による半導体記憶装置で用いる昇圧回路およびレベルシフト回路の例を示す回路図である。

第5図は、本発明の第2の実施の形態による半導体記憶装置の構成を示すブロック図である。

20 第6図(A)は、本発明の第2の実施の形態による半導体記憶装置の書き込み時の動作を示すタイミングチャートである。

第6図(B)は、本発明の第2の実施の形態による半導体記憶装置の書き込み時の動作を示すもう一つのタイミングチャートである。

第7図は、本発明の第3の実施の形態による半導体記憶装置の構成を示すブロック図である。

25 第8図は、本発明の第3の実施の形態による半導体記憶装置で用いるブースト回路の構成を示すブロック図である。

第9図は、図8に示すブースト回路内のキャパシタセレクタの構成を示す回路図である。

第10図は、本発明の第3の実施の形態における電流ブースト容量の分割方法

を示す容量構成図である。

第11図は、本発明の第3の実施の形態における電流ブースト容量の選択方法を示す表である。

第12図は、本発明の効果を示す電流のシミュレーション波形の比較図である。

5 第13図は、本発明の第4の実施の形態による半導体記憶装置の構成を示すブロック図である。

第14図は、本発明の第4の実施の形態による半導体記憶装置の書き込み時の動作を示すタイミングチャートである。

10 第15図は、本発明の第5の実施の形態による半導体記憶装置の構成を示すブロック図である。

第16図は、TMRメモリセルの構造を示す図である。

第17図(A)は、メモリセルアレイを示す平面図である。

第17図(B)は、磁場表示によるアステロイド曲線を示すグラフである。

第17図(C)は電流表示によるアステロイド曲線を示すグラフである。

15 第18図は、従来例による半導体記憶装置の構成を示すブロック図である。

第19図は、従来例による半導体記憶装置における書込電流波形を示すグラフである。

第20図は、従来例による半導体記憶装置の構成を示すブロック図である。

20 第21図は、大記憶容量アレイにおける寄生キャパシタの影響を示す回路図である。

発明を実施するための最良の形態

25 本発明の上記および他の目的、特徴及び利点を明確にすべく、添付した図面を参照しながら、本発明の形態を以下に詳述する。

[第1の実施の形態]

本発明の第1の実施の形態の半導体記憶装置を説明する。

第1図は、第1の実施の形態の半導体記憶装置の構成を示すブロック図である。

第1図のX側ブースト回路101において、ブースト用キャパシタCBXは一端が接地され、もう一端は端子VBXを介してPMOSトランジスタMSXおよびPMOSトランジスタMBXに接続されている。PMOSトランジスタMBXの另一端は電源電圧Vddに接続されている。ブーストスタンバイ時(VBSTX=Lレベル(GND))では、PMOSトランジスタMSXはオフ、PMOSトランジスタMBXはオンになっているため、ブースト用キャパシタCBXには、電荷 $Q_B = C_{BX} \times V_{dd}$ が蓄積されている。Y側ブースト回路102においても同様である。X側書込定電流回路103、Y側書込定電流回路104は出力インピーダンスの大きな電流源であり、配線抵抗等の影響を受けずに、定電流を流すことができるものとする(この設定電流値が、最終的にセルアレイに流したい電流値となる)。この書込定電流回路103、104の構成は、例えば第2図のようなトランジスタのカスコード接続を作ることによって実現出来る。PMOSトランジスタのゲートへの入力電圧Vb1、Vb2は、全てのトランジスタを飽和領域で動作可能な電圧となっており、バイアス回路で生成する。選択スイッチSW1, ..., SWn(書込開始信号WENXと電流選択信号の論理積)の切り替えにより、電流値を設定できる。第2図ではnビット、バイナリの電流源から成るので、 2^n 通り($i, 2i, 3i, \dots, (2^n - 1)i$)の電流値を設定できることになる。

定電流制御回路の動作および効果を、第3図(A)(B)に示したタイミングチャートを用いて説明する。主にX側の動作について説明するが、Y側においても同様であることは、明らかである。

定電流源回路が動作状態となり、信号WENXと信号VBSTXがLレベルからHレベル(Vdd)に切り替わると、PMOSトランジスタMBXがオフ、PMOSトランジスタMSXがオンとなる。ノードVBXの電位は、ほぼ電源電圧Vddであり、配線NLXの電位はこれ以下の電位、例えばGNDであるため、ブースト用キャパシタCBXに蓄積された電荷が急激に選択配線に流れる。この電流は放電現象を反映して瞬間的なオーバーシュート電流であり、寄生キャパシタCLX, CX1, ..., CXmを充電しながら、数ナノ秒の間電流が流れる。やがて、ノードVBXの電位と配線電位NLXが等しくなると、ブースト電流の流れが止まる。この様子を第3図(B)内の電流波形IBXで示す。信号VBSTX

がHレベルの間、ノードVBXは ΔVBX の電位降下が起こり、それとは逆に、選択された配線の電位NLXはGND電位から $Vdd - \Delta VBX$ まで上昇する。

このブースト回路101が仮にオフであるとする、X側書込定電流源回路103からの電流は、寄生キャパシタに流入してしまうため、配線終端での電流IA
5 AXは立ち上がりが鈍ってしまう（第3図（B）内IA X参照）。しかし、ブースト回路101がオンである場合、上記のようにブースト電流IBXで寄生キャパシタを充電することができるため、電流波形の鈍りは減少する。ブースト用キャパシタCBXの容量を適正に設計すれば、実際にセルアレイに流れる電流IA
10 X = ICX + IBXは、第3図（B）の最下行の信号のように短時間（2ナノ秒程度）で立ち上げることができる。そのため、書込みは短時間で完了し、消費電力の増大を防ぐことができる。

〔第2の実施の形態〕

発明の第2の実施の形態の半導体記憶装置を説明する。第2の実施の形態は、第1の実施の形態に記載のブースト用キャパシタCBX、CBYに印加する電圧
15 を昇圧することで、蓄積できる電荷量を増大させ、書込時間の一層の短時間化を目的としている。また、本回路構成によると、ブースト用キャパシタCBX、CBYに蓄積されるキャパシタ単位面積当たりの電荷量が大きくなるため、ブースト用キャパシタCBX、CBYの面積を小さく出来ると言う利点がある。

まず昇圧回路の動作を、第4図（A）を用いて説明する。ダイオードの閾値電
20 圧を V_t とすると、スタンバイ時、入力端子A1の電位は $V(A1) = 0$ 、出力端子VBTの電位は $V(VBT) = Vdd - 2V_t$ 、ノードA2の電位は $V(A2) = Vdd - V_t$ である。この状態で $V(A1) = Vdd$ とすると、キャパシタ C_B のカップリングにより、ノードA2の電位 $V(A2)$ は一瞬 $2Vdd - V_t$ に上昇しようとする（ただし、同時にダイオードD2を通じて放電されるため、実際の電
25 位は $2Vdd - V_t$ 以下である）。このため、ダイオードD1はオフ、D2はオンし、安定化容量 C_L は対充電される。このため、出力電圧VBTは上昇する。次に、 $V(A1) = GND$ になると、ノードA2の電位は一瞬GND近くまで降下するため、ダイオードD1はオン、D2はオフとなり、 $V(A2) = Vdd - V_t$ になるまで、キャパシタ C_B に対して充電が行われる。以下同様にして、ノード

A 1 に周期的なパルス電圧が入力されると、安定化容量 C_B は $V(A 1) = GND$ 時は充電され、 $V(A 1) = V_{dd}$ 時は放電される。結局、 $V(A 2) - V_t = V_{BT}$ となるまで A 2 から出力端子 V_{BT} に対して電流が流れ、安定化容量 C_L を充電する。このときの出力電位 $V_{BT} = 2V_{dd} - 2V_t$ となる。

- 5 次に、レベルシフト回路の動作を、第 4 図 (B) を用いて説明する。第 4 図 (B) のレベルシフト回路において、入力端子 IN が L レベルである時、NMOS トランジスタ $MN1$ と PMOS トランジスタ $MP2$ はオン、NMOS トランジスタ $MN2$ と PMOS トランジスタ $MP1$ はオフとなるため、出力電位 OUT は L レベルとなる。一方、入力端子 IN が H レベルである時、NMOS トランジスタ $MN2$ と PMOS トランジスタ $MP1$ はオン、NMOS トランジスタ $MN1$ と PMOS トランジスタ $MP2$ はオフとなるため、出力電位 OUT は V_{BT} となる。つまり、 V_{dd} から V_{BT} へのレベル変換が行われる。

- 第 5 図は、本実施の形態 2 の半導体記憶装置の構成を示すブロック図である。第 5 図の X 側ブースト回路 101B において、ブースト用キャパシタ CBX は一端が接地され、もう一端は端子 V_{BX} を介してトランジスタ MSX および MBX に接続されている。トランジスタ MBX のもう一端は、前記昇圧回路 101B-1 によって電源電圧 V_{dd} が昇圧された昇圧電圧 V_{BT} に接続されている。また、オフ時に電流がリークしないようにするために、PMOS トランジスタ MSX 、 MBX のゲート電圧は、 V_{BT} にする必要がある。このため、PMOS トランジスタ MSX のゲート電圧を制御するインバータ 101B-2 の電源電圧は V_{BT} とし、PMOS トランジスタ MBX のゲートの入力電圧は、前記レベルシフト回路 101B-3 によって V_{dd} が変換された V_{BT} としてある。ブーストスタンバイ時 ($V_{BSTX} = L$ レベル) においては、PMOS トランジスタ MSX はオフ、 MBX はオンとなっているため、ブースト用キャパシタ CBX には、電荷 $Q_B = CBX \times V_{BT}$ が蓄積されている。Y 側ブースト回路 102B においても同様である。X 側書込定電流回路 103、Y 側書込定電流回路 104 は出力インピーダンスの大きな電流源であり、配線抵抗等の影響を受けずに、定電流を流すことができるものとする (この設定電流値が、最終的にセルアレイに流したい電流値となる)。この構成は、例えば第 2 図のようなトランジスタのカスコード接続を作る

ことで実現出来る。

本回路の動作を、第6図(A)(B)に示したタイミングチャートを用いて説明する。主にX側の動作について説明するが、Y側においても同様であることは、明らかである。

- 5 定電流源回路103が動作状態となり、書込開始信号WENXとブースト開始信号VBSTXがLレベルからHレベルに切り替わると、PMOSトランジスタMBXがオフとなり、PMOSトランジスタMSXがオンとなる。この切り替わり直前でのノードVBXの電位は、ほぼ昇圧電圧VBTであり、配線NLXの電位はこれ以下の電圧、例えばグラウンド電位であるため、MSXがオンとなった瞬間に、ブースト用キャパシタCBXに蓄積された電荷が急激に選択配線に流れる。
- 10 この電流は瞬間的なオーバーシュート電流であり、寄生キャパシタCLX, CX1, ..., CXmを充電しながら、数ナノ秒の間電流が流れる。ノードVBXの電位と配線電位NLXが等しくなると、ブースト電流の流れが止まる。この様子を第6図(B)内の電流波形で示す。信号VBSTXがオンの間、ノードVBXは ΔVBX の電位降下が起こり、それとは逆に、選択された配線の電位NLXはGNDから $VBT - \Delta VBX$ まで上昇する。
- 15

- このブースト回路101Bが仮にオフであるとする、X側書込定電流源回路103からの電流は、寄生キャパシタに流入するために、アレイ内電流IAXは立ち上がりが鈍ってしまう(第6図(B)内参照)。しかし、ブースト回路101Bがオンした場合、上記のようにブースト電流IBXで寄生キャパシタを充電することができるため、電流波形の鈍りは減少する。ブースト用キャパシタCBXの容量を適正に設計すれば、実際にセルアレイに流れる電流 $IAX = ICX + IBX$ は、第6図(B)の最下行に示すように短時間(2ナノ秒程度)で立ち上げることができる。そのため、書込みは短時間で完了し、消費電力の増大を防ぐことが出来る。
- 20
- 25

[第3の実施の形態]

本発明の第3の実施の形態の半導体記憶装置を説明する。

第3の実施の形態は、第20図の大記憶容量アレイに対して電流ブースト回路を適用する方法について述べたものである。本実施の形態で用いる書込回路図を

第7図で示す。X側電流ブースト用キャパシタアレイ111およびX側キャパシタセクタ112が、X側のメイン配線113に対して接続され、Y側電流ブースト用キャパシタアレイ114およびキャパシタセクタ115が、Y側のメイン配線116に対して接続されていることが、第3の実施の形態の特徴である。

5 また、「0」「1」の書込みの切替えはY側の書込電流方向の切替えにより行う、双方向の書込電流に対してブースト電流を加えられるように、Y側については、2系統（L、Rと表記）のキャパシタアレイ及びキャパシタセクタが用意されている。X側書込みとY側書込みの動作は、基本的に同様であるので、以下ではX側書込みに関してのみ説明する。

10 第7図で示したX側書込定電流源103は、 I_{X1} , I_{X2} , ..., I_{Xn} のn通りの電流値を出力することができるとする。これは、MRAMの磁化反転電流はプロセス条件等によりばらつきがあり、かならずしも設計した電流値が最適な電流値ではない可能性があるため、製造出荷時に電流値を調整する必要があるためである。このn通りの書込電流値によって、寄生キャパシタ Q_k は式（1）に従って変化するため、電流ブースト用キャパシタもn通り用意する必要がある。

15 また、X方向にはM個の小アレイ $XA1$, ..., XAM が並ぶが、X方向書込アレイ位置 k ($k=1, 2, \dots, M$) によっても寄生キャパシタ Q_k は式（1）に従って変化するため、M通りの電流ブースト用キャパシタを用意する必要がある。さらに、プロセス条件等により、実際の寄生キャパシタは設計値と異なる可能性があるため、電流ブースト量を補正する必要がある、この目的でs通りのブースト用キャパシタを用意する必要がある。以上の要請から、第7図の各行における

20 X側キャパシタアレイ111を $M \times n \times s$ 個のキャパシタで構成したとすると、電流ブースト用キャパシタの占有面積が巨大になる恐れがある。

しかし、最大ブースト時（電流値最大、最遠方のアレイ選択時、補正ブースト

25 量最大時）に全てのブースト用キャパシタに充電した電荷を用いる構成にし、浮遊キャパシタの式（1）を近似できるようにキャパシタ間の関係を等比級数的にすれば、ブースト用キャパシタの数を減らせ、従ってブースト用キャパシタの占有面積を小さくすることが出来る。例えば、本実施の形態では、X側キャパシタアレイ、X側キャパシタセクタのブロックとして、第8図に示すものを用いる

(Y側についても同様の構成が可能である)。第8図に示すブロックはアレイの行毎に用意される。ここでは、X方向書込みアレイ位置数 $M=4$ 、電流値数 $n=4$ 、補正值数 $s=4$ としている。

そして、X方向書込みアレイ位置数 $M=4$ としたことに伴い、端子XA2～XA4でブースト用キャパシタの容量を調整する。第8図の端子"ARRAY"を制御する論理ゲートの構成から明らかなように、X方向位置が1、Y方向位置がjのアレイを選択し、書込開始信号WENXがHレベルとなったときには、キャパシタセクタ(A)に接続されるキャパシタ#1～#6が使用候補のキャパシタとなり、X方向位置が2、Y方向位置がjのアレイを選択し、書込開始信号WENXがHレベルとなったときには、キャパシタセクタ(A)に接続されるキャパシタ#1～#6及びキャパシタセクタ(B)に接続されるキャパシタ#7～#14が使用候補のキャパシタとなり、X方向位置が3、Y方向位置がjのアレイを選択し、書込開始信号WENXがHレベルとなったときには、キャパシタセクタ(A)に接続されるキャパシタ#1～#6、キャパシタセクタ(B)に接続されるキャパシタ#7～#14及びキャパシタセクタ(C)に接続されるキャパシタ#13～#18が使用候補のキャパシタとなり、X方向位置が4、Y方向位置がjのアレイを選択し、書込開始信号WENXがHレベルとなったときには、キャパシタセクタ(A)に接続されるキャパシタ#1～#6、キャパシタセクタ(B)に接続されるキャパシタ#7～#14、キャパシタセクタ(C)に接続されるキャパシタ#13～#18及びキャパシタセクタ(D)に接続されるキャパシタ#19～#24が使用候補のキャパシタとなる。

電流値数 $n=4$ としたことに伴い、端子I1、I2で各キャパシタセクタに接続されるキャパシタのうち実際に使用するキャパシタを選択する。また、補正值数 $s=4$ としたことに伴い、端子S1、S2で各キャパシタセクタに接続されるキャパシタのうち実際に使用するキャパシタを選択する。これらを合わせて端子I1、I2、S1、S2で各キャパシタセクタに接続されるキャパシタのうち実際に使用するキャパシタを選択する。ブースト用キャパシタは#1～#24までであるので、ブースト用キャパシタの数は、合計で24個である。 $M \times n \times s = 4 \times 4 \times 4 = 64$ であるので、これと比較するとブースト用キャパシタの数

が削減されていることがわかる。各キャパシタセレクトのブースト電流出力端子は、IB1, IB2, IB3であり、これらはX側メイン配線113（配線NLXに相当）に接続される。従って、X側定電流源103が出力する調整された定電流に端子IB1, IB2, IB3から出力される電流が加わる。第8図では、

5 キャパシタセレクト(A)～(D)内のトランジスタサイズは特に規定していないが、電流ブースト用キャパシタの大きさに従って、MBXj, MSXj (j = 1, ..., 6) (第9図参照)のゲート幅等を調整することは容易である。

各キャパシタセレクト121を第9図に、キャパシタアレイを第10図に示す。第9図内の“ARRAY”端子は、第8図に示す“ARRAY”端子に対応する。

10 第9図内の“I1”、“I2”端子は、第8図に示す“I1”、“I2”端子に対応し、調整された書込定電流の値に応じて式(1)に従ってブースト量を調整するために用いられる。例えば、I1=L、I2=Lの時は、第9図内の出力端子C1に接続されたブースト用キャパシタ(#1、#7、#13又は#19)及び

15 出力端子C2に接続されたブースト用キャパシタ(#2、#8、#14又は#20)が選択候補となる。I1=H、I2=Lの時は、第9図内の出力端子C1に接続されたブースト用キャパシタ(#1、#7、#13又は#19)、出力端子C2に接続されたブースト用キャパシタ(#2、#8、#14又は#20)、出力端子C3に接続されたブースト用キャパシタ(#3、#9、#15又は#21)及び

20 出力端子C4に接続されたブースト用キャパシタ(#4、#10、#16又は#22)が選択候補となる。I1=L、I2=Hの時は、第9図内の出力端子C1に接続されたブースト用キャパシタ(#1、#7、#13又は#19)、出力端子C2に接続されたブースト用キャパシタ(#2、#8、#14又は#20)、出力端子C5に接続されたブースト用キャパシタ(#5、#11、#17又は#23)及び

25 出力端子C4に接続されたブースト用キャパシタ(#6、#12、#18又は#24)が選択候補となる。I1=H、I2=Hの時は、第9図内の出力端子C1に接続されたブースト用キャパシタ(#1、#7、#13又は#19)、出力端子C2に接続されたブースト用キャパシタ(#2、#8、#14又は#20)、出力端子C3に接続されたブースト用キャパシタ(#3、#9、#15又は#21)及び出力端子C4に接続されたブースト用キャパシタ(#4、#10、

1 6 又は # 2 2)、出力端子 C 5 に接続されたブースト用キャパシタ (# 5、# 1 1、# 1 7 又は # 2 3) 及び出力端子 C 4 に接続されたブースト用キャパシタ (# 6、# 1 2、# 1 8 又は # 2 4) が選択候補となる。

第 9 図内の “S 1”、“S 2” 端子は、第 8 図に示す “S 1”、“S 2” 端子に対応し、寄生キャパシタ Q_k のプロセス条件依存性を補償するために用いられる。例えば、S 1 = L、S 2 = L の時は、ブースト用キャパシタは選ばれない。S 1 = H、S 2 = L の時は、第 9 図内の出力端子 C 1 に接続されたブースト用キャパシタ (# 1、# 7、# 1 3 又は # 1 9)、出力端子 C 3 に接続されたブースト用キャパシタ (# 3、# 9、# 1 5 又は # 2 1) 及び出力端子 C 5 に接続されたブースト用キャパシタ (# 5、# 1 1、# 1 7 又は # 2 3) が選択候補となる。S 1 = L、S 2 = H の時は、第 9 図内の出力端子 C 2 に接続されたブースト用キャパシタ (# 2、# 8、# 1 4 又は # 2 0)、出力端子 C 4 に接続されたブースト用キャパシタ (# 4、# 1 0、# 1 6 又は # 2 2) 及び出力端子 C 6 に接続されたブースト用キャパシタ (# 6、# 1 2、# 1 8 又は # 2 4) が選択候補となる。I 1 = H、I 2 = H の時は、第 9 図内の出力端子 C 1 に接続されたブースト用キャパシタ (# 1、# 7、# 1 3 又は # 1 9)、出力端子 C 2 に接続されたブースト用キャパシタ (# 2、# 8、# 1 4 又は # 2 0) 及び出力端子 C 3 に接続されたブースト用キャパシタ (# 3、# 9、# 1 5 又は # 2 1)、出力端子 C 4 に接続されたブースト用キャパシタ (# 4、# 1 0、# 1 6 又は # 2 2)、出力端子 C 5 (# 5、# 1 1、# 1 7 又は # 2 3) に接続されたブースト用キャパシタ及び出力端子 C 6 に接続されたブースト用キャパシタ (# 6、# 1 2、# 1 8 又は # 2 4) が選択候補となる。

上記の三種類の選択候補の論理積をとったブースト用キャパシタが実際に用いられる。すなわち、以上の XA_j ($j = (1), 2, \dots, 4$), I_1 , I_2 , S_1 , S_2 の組み合わせにより、最適なブースト用キャパシタが選ばれる。全ての組み合わせを、第 11 図に示す。第 11 図中では、 $I(j) = I(I_1 + 2 \times I_2)$ 、 $A(j) = XA_j$ 、 $S(j) = S(S_1 + 2 \times S_2)$ である (ただし、数値化のために $L = 0$ 、 $H = 1$ とした)。例えば、 $I_1 = 1$ 、 $I_2 = 0$ のときには $I(j) = I(1 + 2 \times 0) = I(1)$ となり、 XA_1 のときには、 $A(j) = A(1)$

となり、 $S_1 = 1$ 、 $S_2 = 0$ のときには $S(j) = S(1 + 2 \times 0) = S(1)$ となる。

容量は#1～#24の24個が存在し、第10図のように分割してある。容量の合計は20.4 pFであり、最大ブースト時（上述）にすべてのブースト用キャパシタが使われる。（小アレイ数M）×（電流値n通り）×（ブースト調整4通り） $= 4 \times 4 \times 4 = 64$ 通りについて各々ブースト用キャパシタを用意した場合は、第11図の容量の合計306.8 pFが必要となる。つまり、本実施例では、使用面積を6.6%程度に削減できている。

第10図を参照すると、#1+#2の幅：#3+#4の幅：#5+#6の幅=1：1：2であり、#3+#4の幅と#5+#6の幅は等比級数の関係にある。#1の幅：#2の幅=1：2であり、#1の幅と#2の幅は等比級数の関係にある。#3の幅：#4の幅=1：2であり、#3の幅と#4の幅は等比級数の関係にある。#5の幅：#6の幅=1：2であり、#5の幅と#6の幅は等比級数の関係にある。#1の高さ：#7の高さ：#13の高さ：#19の高さ=4：1：2：4であり、#7の高さ、#13の高さ及び#19の高さは等比級数の関係にある。

第12図は、容量1MビットのMRAMセルアレイに対して、設定値8 mAの書込電流を流した時のシミュレーション結果である。8 mAの書込み電流が6 ナノ秒継続したときに書込みセルに対して書込みが行われるが、書込み電流が8 mA未満である時には書込みセルに対して書込みができない。電流値が8 mAになってからの書込時間が5 ナノ秒として、ブースト回路を用いない場合（A）は、書込電流を流す時間として80 ナノ秒程度の時間を要している。ここでは、70%程度（斜線部）が無駄な電流である。一方、適正なブースト電流を用いた場合（B）は、書込時間は15 ナノ秒程度に短縮できており、無駄な電流も40%程度（斜線部）である。ただし、ブースト量が多いと所望の電流（ここでは8 mA）以上の電流が流れ、誤書込みの要因となるので、容量の正確な設計が必要である。本発明の場合、第9図の容量調整端子を用いて、ブースト量を調整することが出来る。

[第4の実施の形態]

本発明の第4の実施の形態の半導体記憶装置を説明する。

本発明の第4の実施の形態101の回路図を第13図に示す。この図は、説明を容易にするためにX側の回路のみを取り出している。S1～S6は信号を表し、
5 /S5、/S6はそれぞれS5、S6の反転信号を表す。N1、N2は節点の電位を表す。

第14図を参照すると、時刻t100でブースト容量からの電流供給は終了するが、第1の実施形態とは異なり、すぐにはブースト容量を充電しない。したがって、実施形態1とは異なり、信号S1は信号VBSTXから分離されている。ブースト回路の節点(VBX)を充電すると電源Vddから電流が流れ出し、これにより電源ノイズが発生する。この電源ノイズは同じ電源Vddを使用するX側書込み定電流源回路の定電流の精度を下げる。本実施形態では、定電流源回路の動作中にはブースト容量を充電しないためこの弊害は起きない。

時刻t101で定電流源回路が停止するとき、節点NLXはリセットされずに電位(電荷)を保持する。次に時刻t102に信号S3が“Low”となり、節点N1がフローティング状態となる。次に時刻t103に信号S5により、節点NLXと節点N1が電氣的に接続され、節点NLXからN1へ電荷が転送される。時刻t104にN1が再びフローティング状態になった後、時刻t105に節点N2をフローティング状態とする。次に時刻t106に節点N2と節点NLXが電氣的に接続される。このとき、節点N1はフローティングであるため、容量素子CRXのカップリングによって、ほぼ節点NLXの電位分上昇する。次に時刻t107に信号S2が活性化され節点N1から節点NLXに電荷が転送される。このとき、節点NLXの電位は容量素子CRXのカップリングにより、減少するので、実質的に節点NLXの電荷がブースト回路の節点VBXに転送されている。時刻t108～t110の間に各信号をリセットする。最後に時刻t111に節点VBXを電源Vddの電位まで充電するが、実施形態1の場合と比べて、充電に必要な電力は小さい。

[第5の実施の形態]

本発明の第5の実施の形態の半導体記憶装置を説明する。

本発明の第5の実施形態の回路図を第15図に示す。本実施形態では、書込

- みモードが終了しても、信号S 1 0を活性化しないため、節点NL Xはリセットされず、節点NL Xの電位は接地電位とならない。なお、このリセットトランジスタM 1 0 3は第1～4の実施形態の図では省略されていたが、動作波形より、このような作用を持つ回路が存在していることは明らかである。リセットをしなければ、NL Xの寄生容量には電荷が保持される。書込みモードの後、続けて書込みモードだった場合、動作モード判定回路1 0 5が連続書込みを検知し、連続検知信号S 1 1を“Low”として、ブースト容量を活性化しない。これは既にNL Xは充電されており、充電する必要がないためである。この場合、ブースト容量を充電するための電力が節約される。動作モード判定回路1 0 5が読み出しモードを判定した場合、信号S 1 0が活性化され節点NL Xはリセットされる。

産業上の利用可能性

- 15 本発明は、電流を流すことにより記憶素子に情報を書き込む半導体記憶装置に利用でき、特に、電流を流すことにより発生した磁界によりトンネル磁気抵抗素子に情報を書き込む半導体記憶装置に利用することができる。

請求の範囲

1. 情報を記憶する記憶素子と、
電流を流すことにより前記記憶素子に情報を書き込むために設けられた定電流源と、
5 前記記憶素子に関連した所定位置において、前記定電流源により流された電流の量が前記記憶素子に情報を書き込むために必要な電流の量に達するまでの間に、寄生キャパシタを充電するためのブースト回路と、
を備えることを特徴とする半導体記憶装置。
- 10 2. 請求項 1 に記載の半導体記憶装置において、
前記記憶素子は、トンネル磁気抵抗素子であり、前記所定位置は、前記トンネル磁気抵抗素子に電流による磁界を与える位置であることを特徴とする半導体記憶装置。
- 15 3. 請求項 1 に記載の半導体記憶装置において、
前記ブースト回路は、前記寄生キャパシタを充電するための電荷を蓄積するコンデンサを備えることを特徴とする半導体記憶装置。
4. 請求項 3 に記載の半導体記憶装置において、
20 前記コンデンサの両極間電圧を電源電圧以上にするための回路を更に備えることを特徴とする半導体記憶装置。
5. 請求項 3 に記載の半導体記憶装置において、
前記コンデンサは複数有り、
25 前記ブースト回路は、前記寄生キャパシタを充電するために必要な電荷の量に応じて、充電に用いるコンデンサを切り替える切替手段を備えることを特徴とする半導体記憶装置。
6. 請求項 5 に記載の半導体記憶装置において、

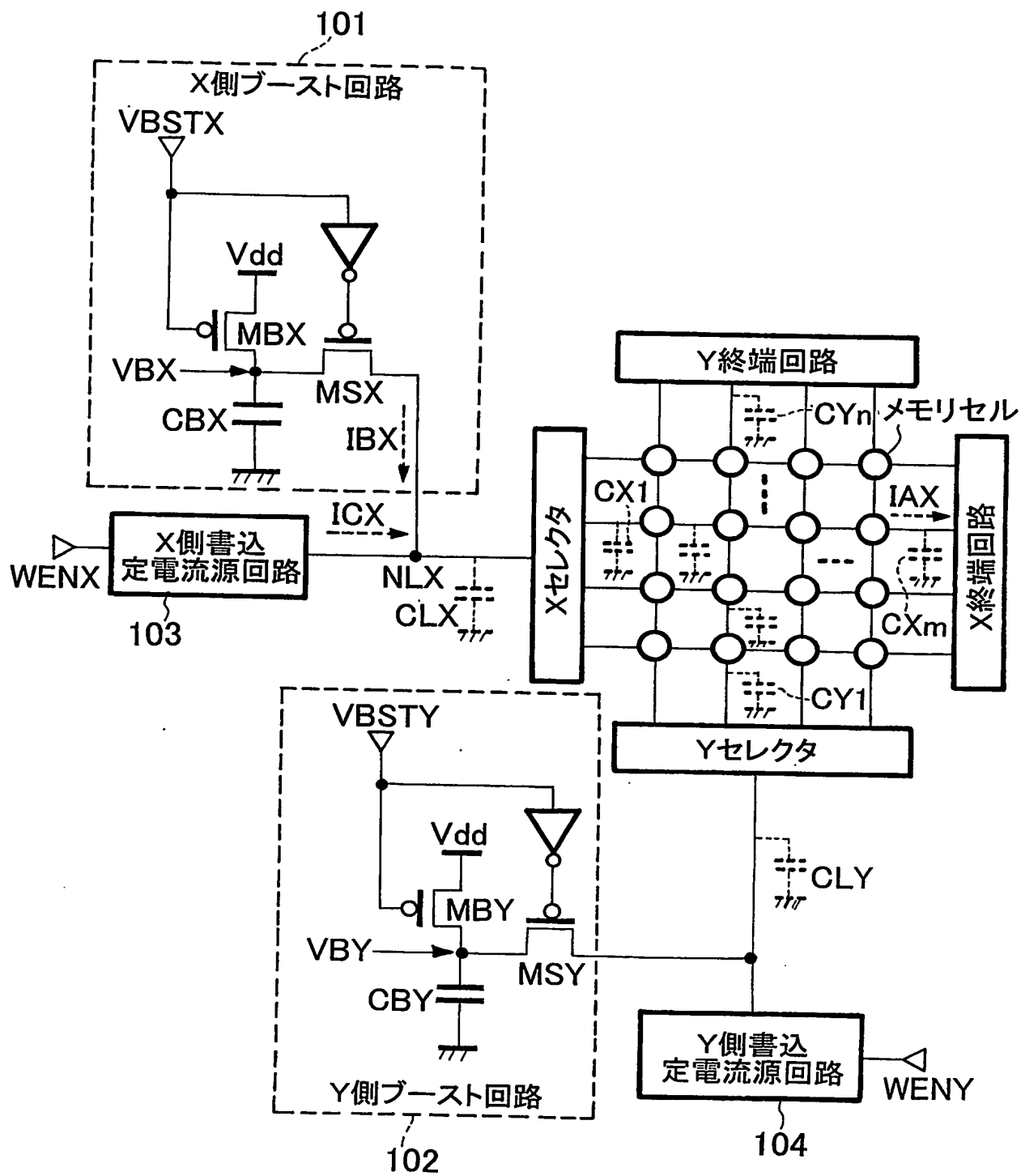
前記切替手段は、前記寄生キャパシタを充電するために必要な電荷の量に応じて、充電に用いるコンデンサの組み合わせを切り替えることを特徴とする半導体記憶装置。

- 5 7. 請求項5に記載の半導体記憶装置において、
前記複数のコンデンサのうちの少なくとも一部のものの容量は、相互に等比級数の関係にあることを特徴とする半導体記憶装置。
- 10 8. 請求項5に記載の半導体記憶装置において、
前記複数のコンデンサのうちの少なくとも一部のものの容量は、前記記憶素子に情報を書き込むために必要な電流の量に依存した前記寄生キャパシタの容量に従って決定されていることを特徴とする半導体記憶装置。
- 15 9. 請求項5に記載の半導体記憶装置において、
前記複数のコンデンサのうちの少なくとも一部のものの容量は、前記記憶素子の位置に依存した前記寄生キャパシタの容量に従って決定されていることを特徴とする半導体記憶装置。
- 20 10. 請求項5に記載の半導体記憶装置において、
前記複数のコンデンサのうちの少なくとも一部のものの容量は、プロセス条件に依存した前記寄生キャパシタの容量に従って決定されていることを特徴とする半導体記憶装置。
- 25 11. 請求項3に記載の半導体記憶装置において、前記記憶素子に書き込むための電流の電流経路に存在する寄生キャパシタの電荷の少なくとも一部を前記ブースト回路の電荷を蓄積する節点に還流させる環流手段を有する半導体記憶装置。
12. 請求項3に記載の半導体記憶装置において、前記ブースト回路に電荷を蓄積する時刻を前記定電流源の動作期間終了後に設定することを特徴とする半導体

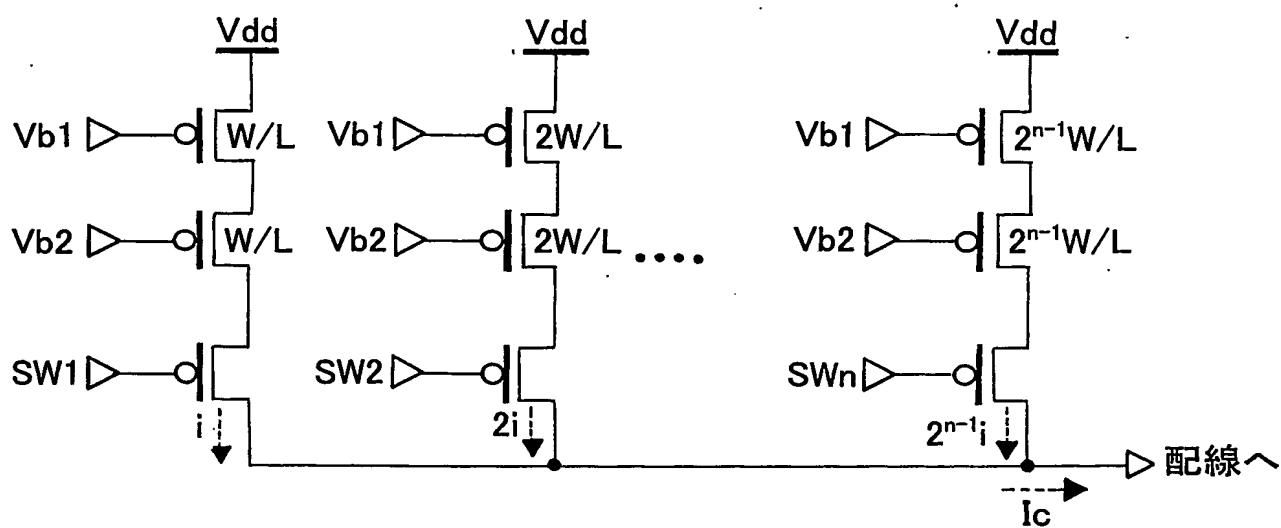
記憶装置。

- 1 3. 請求項 1 に記載の半導体記憶装置において、動作モードの履歴に依存して、
前記記憶素子に書き込むための電流の電流経路に存在する寄生キャパシタの電荷
5 の一部を保持し、ブースト回路の放電を抑える電荷保持手段を有する半導体記憶
装置。

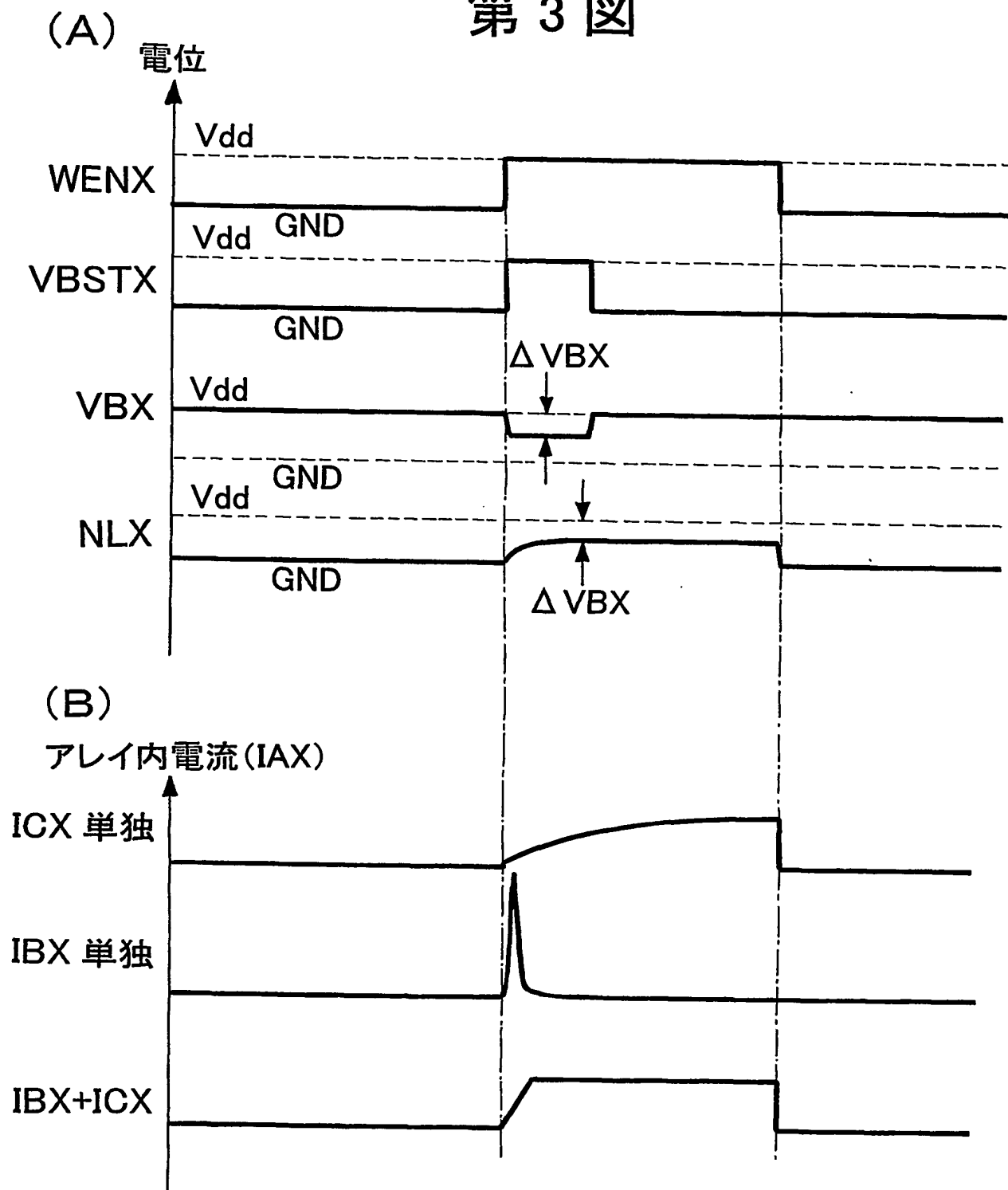
第 1 圖



第 2 図

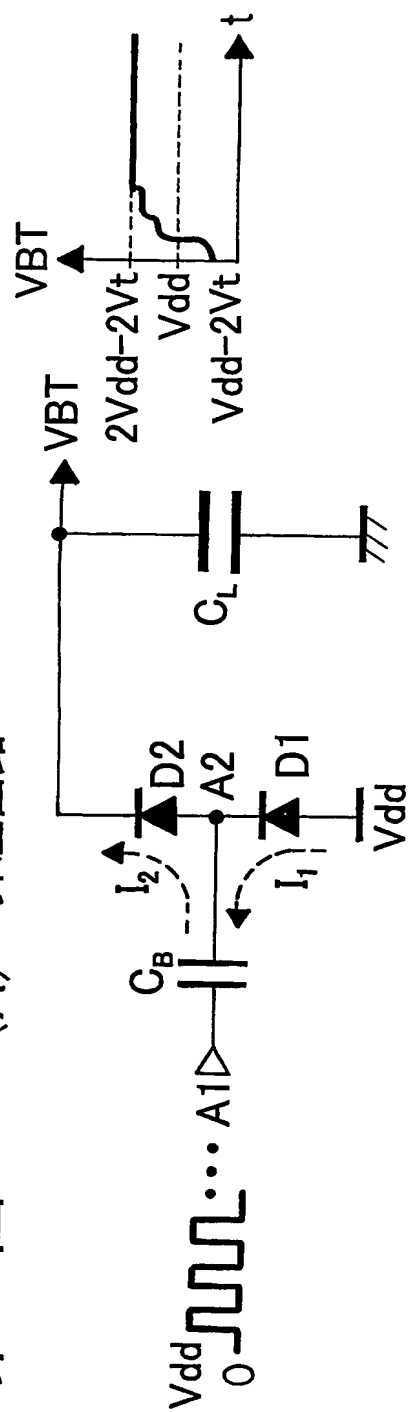


第 3 図

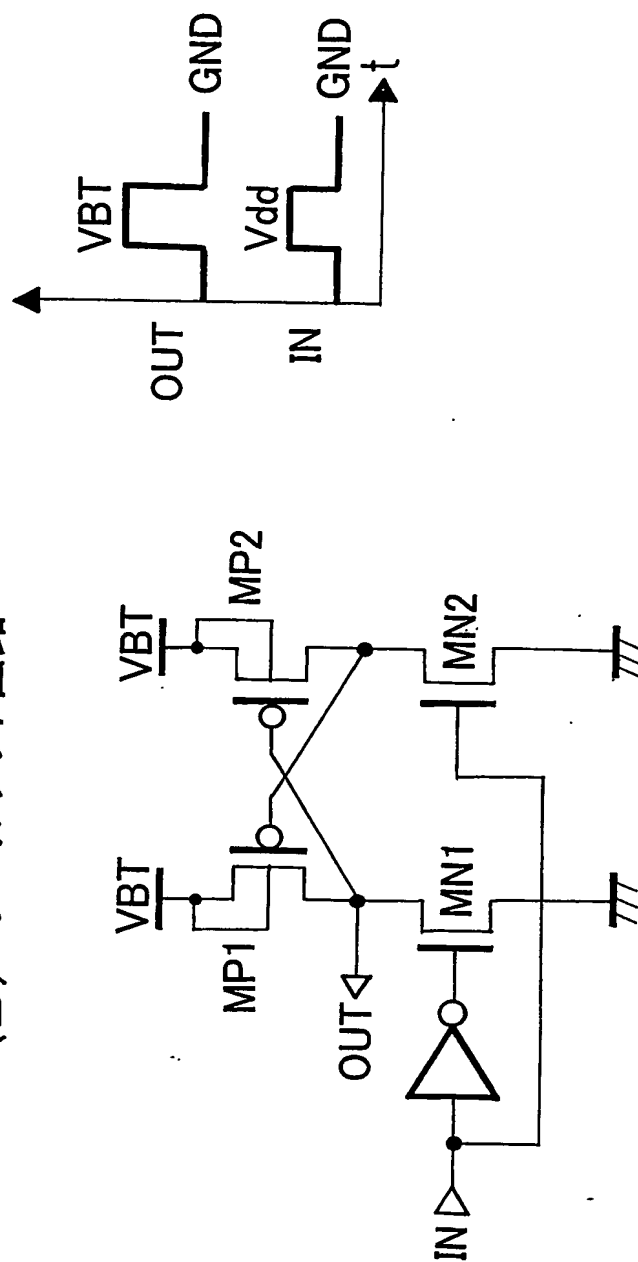


第4図

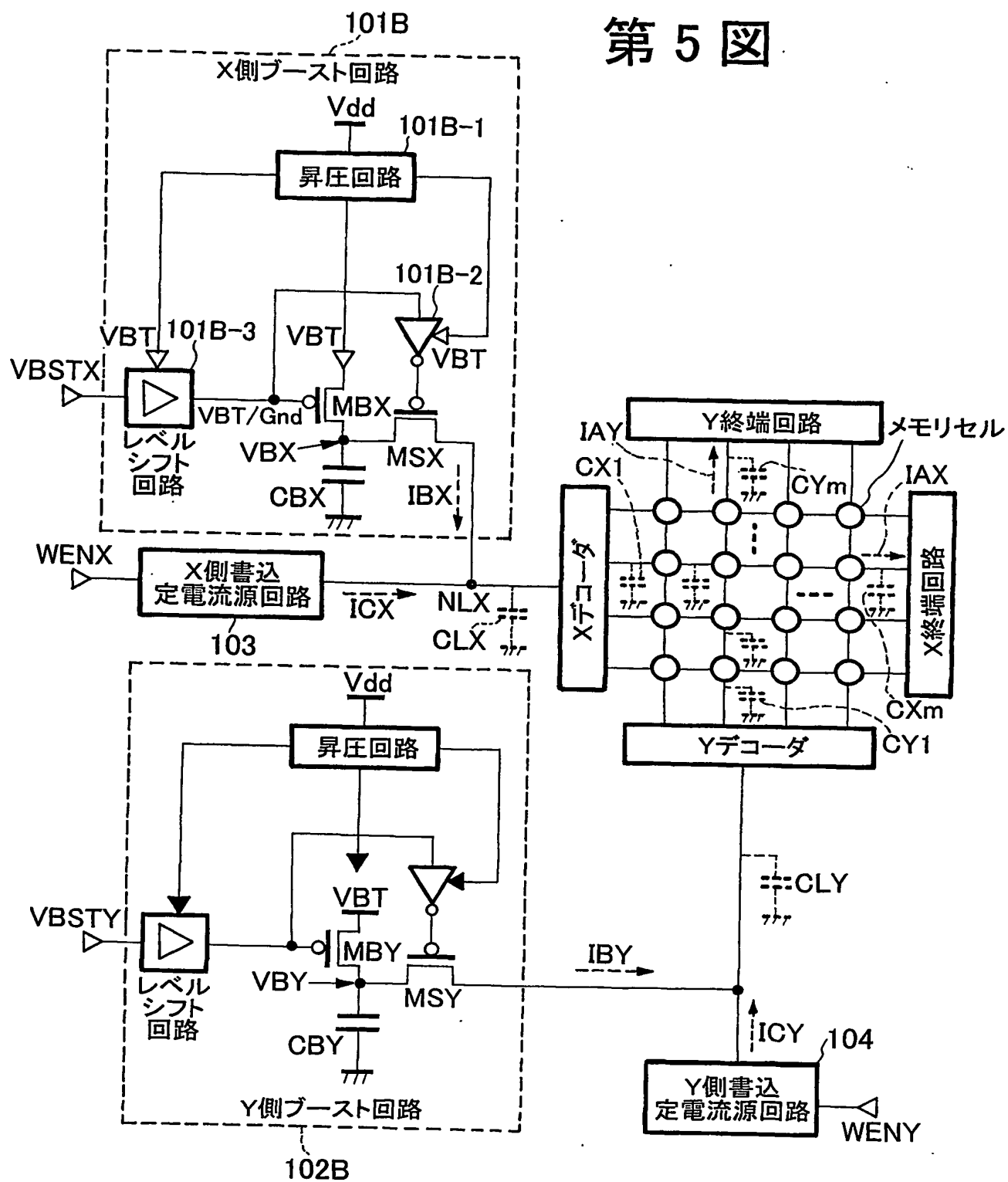
(A) 昇圧回路



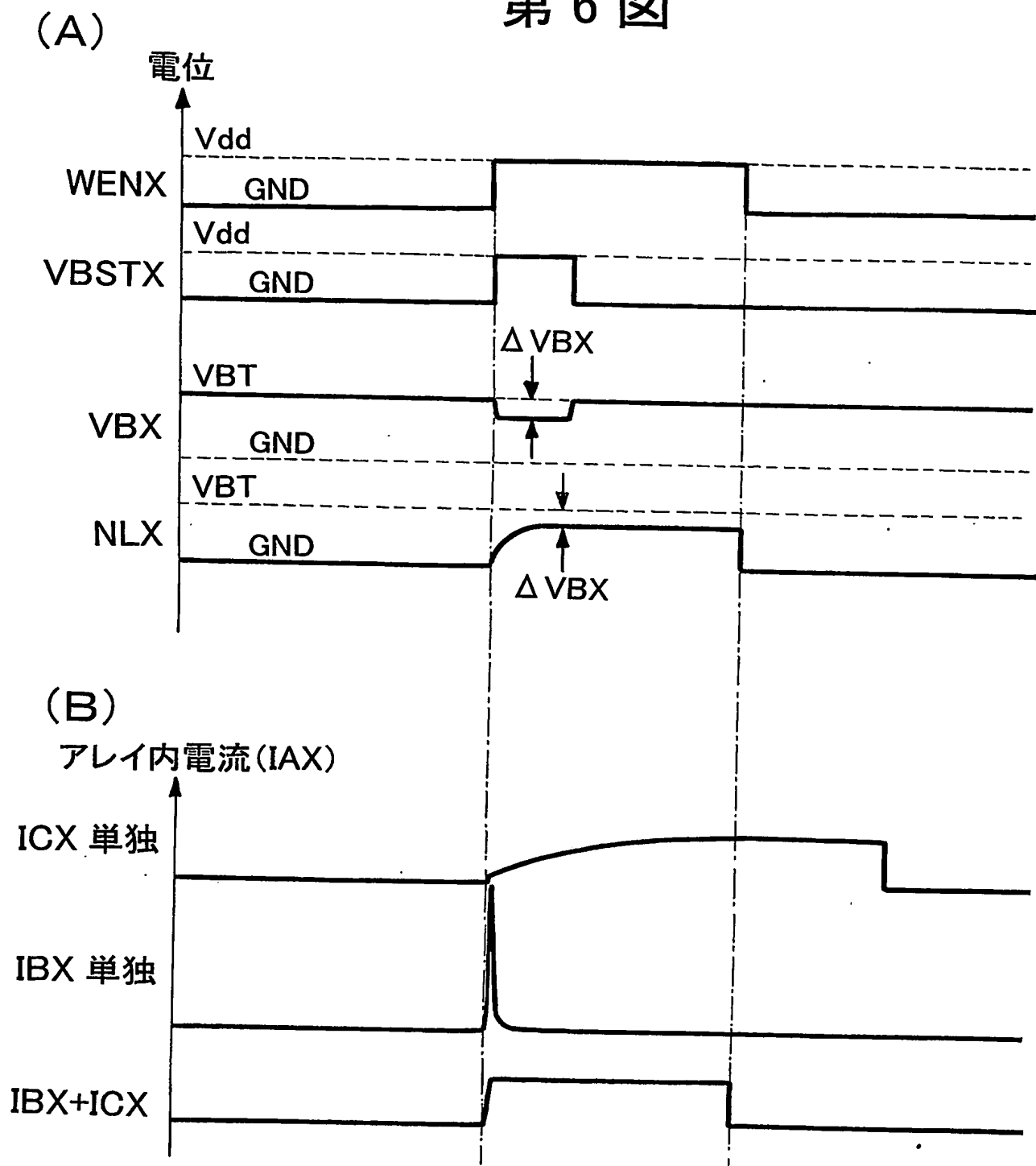
(B) レベルシフト回路



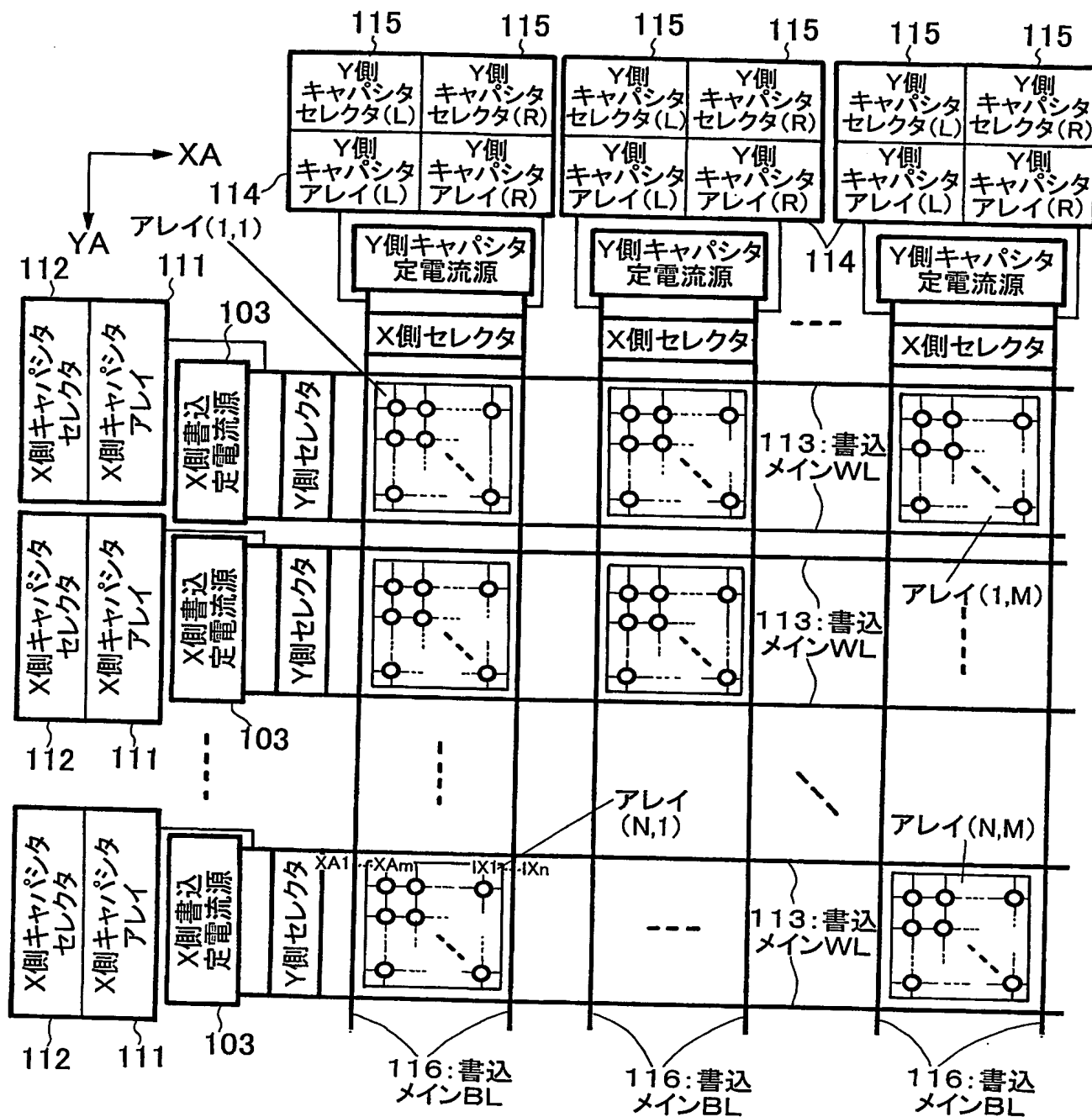
第 5 図



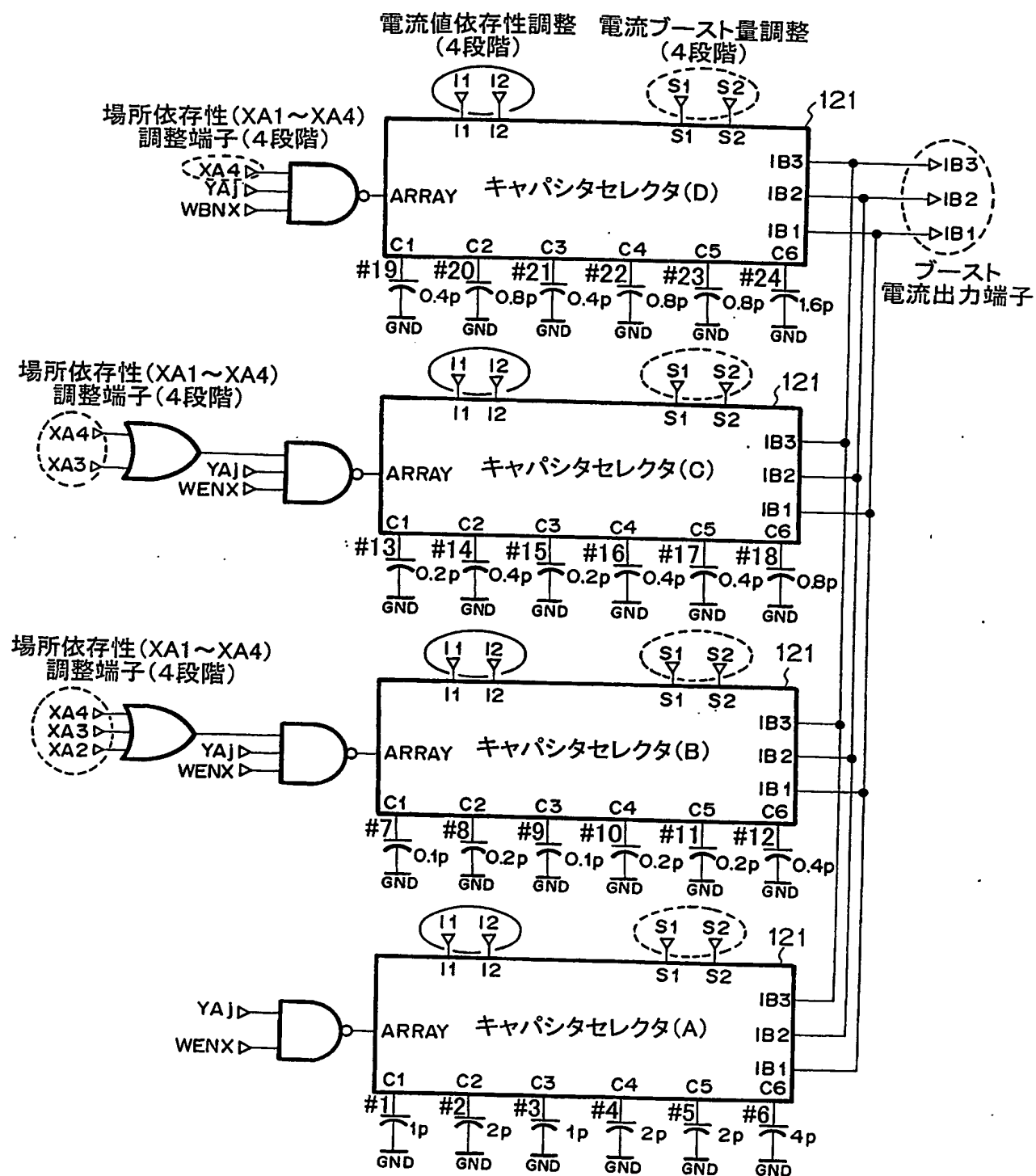
第 6 図



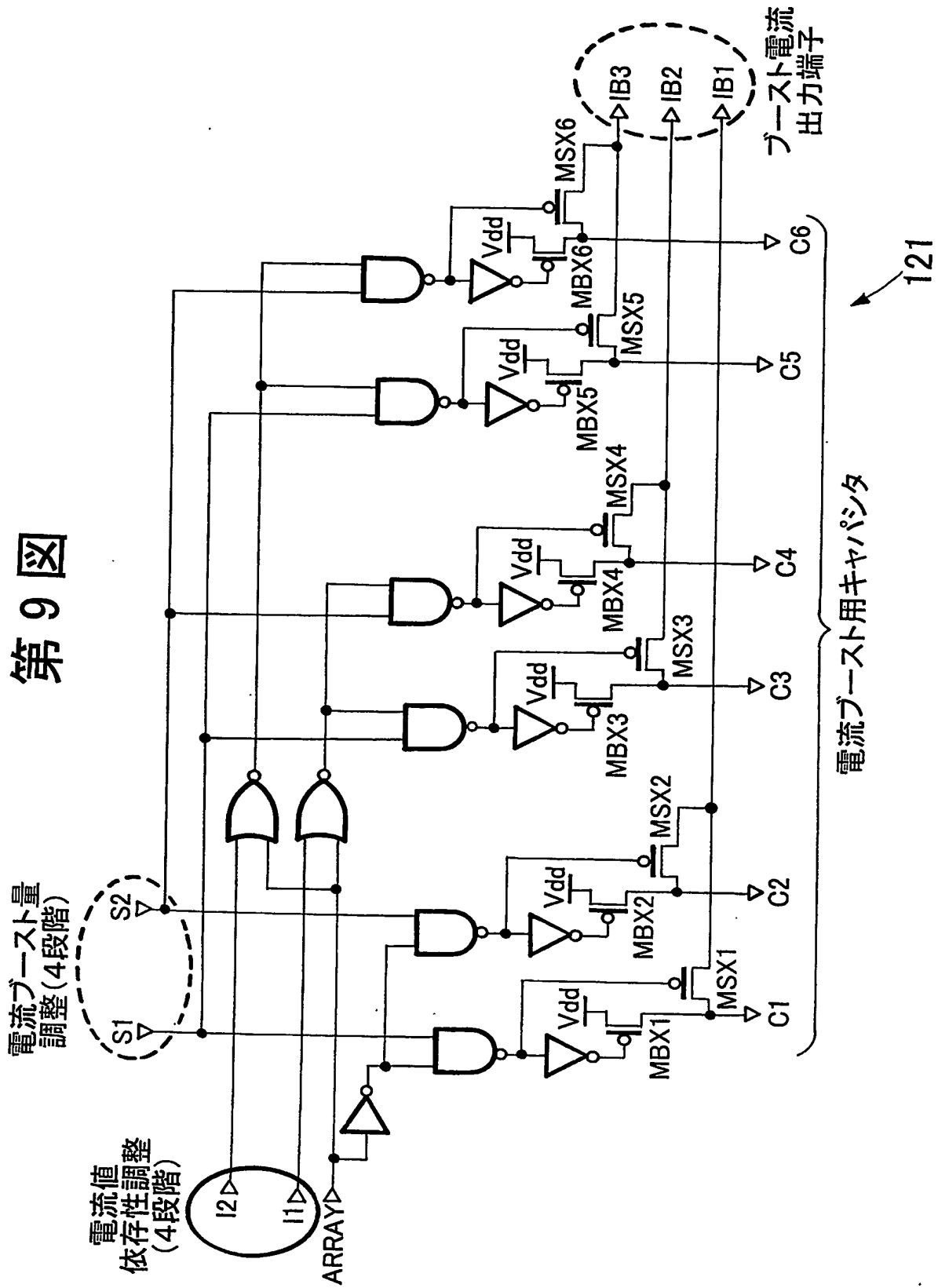
第7圖



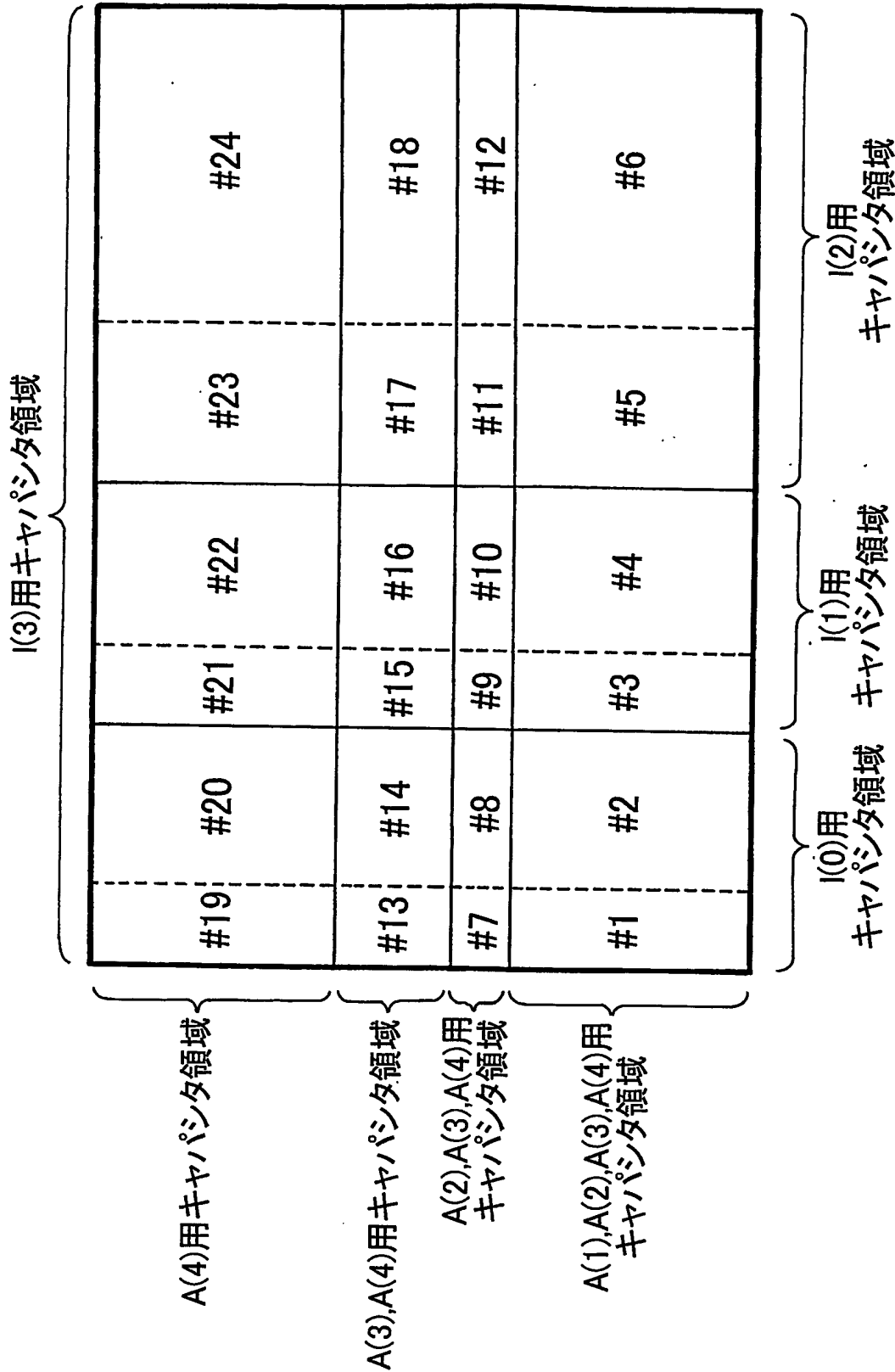
第 8 圖



第9図



第 10 図

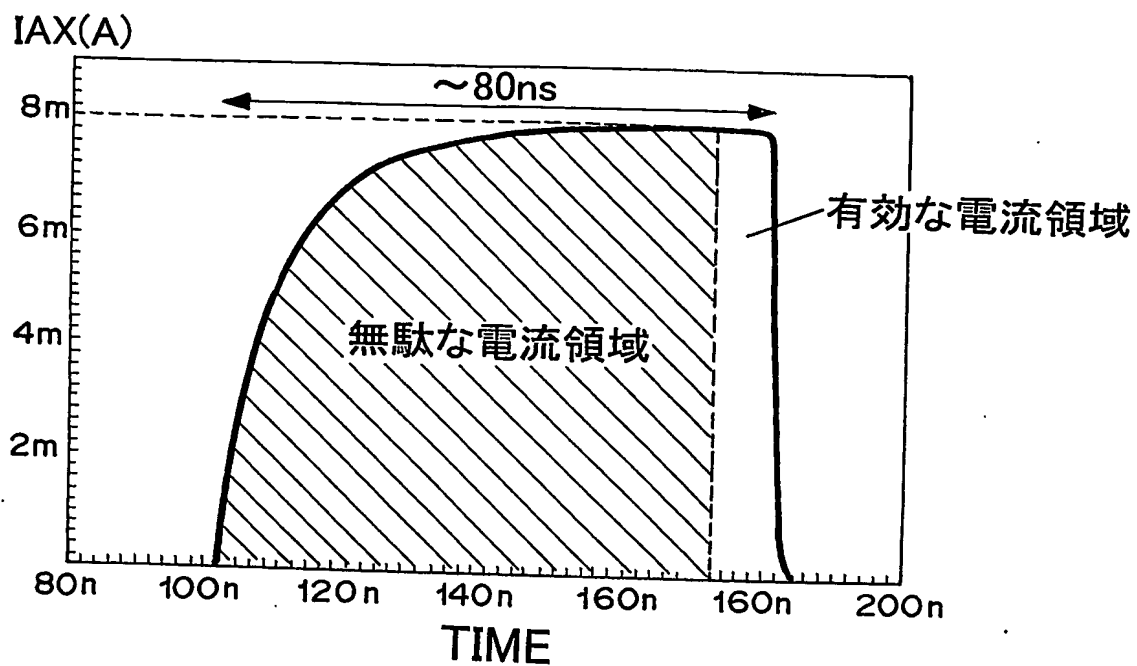


第 11 図

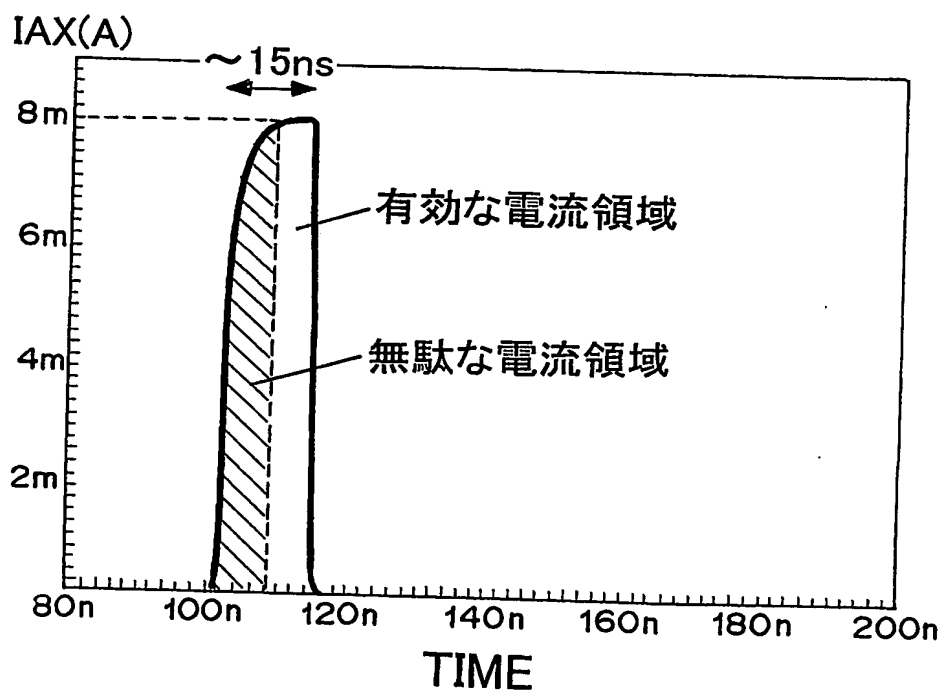
	電流 (3:0)	アレイ (4:1)	調整 (3:0)	容量 (pF)	使用キャパシタ
1	I(0)	A(1)	S(0)	0.0	なし
2	I(0)	A(1)	S(1)	1.0	#1
3	I(0)	A(1)	S(2)	2.0	#2
4	I(0)	A(1)	S(3)	3.0	#1,#2
5	I(0)	A(2)	S(0)	0.0	なし
6	I(0)	A(2)	S(1)	1.1	#1,#7
7	I(0)	A(2)	S(2)	2.2	#2,#8
8	I(0)	A(2)	S(3)	3.3	#1,#2,#7,#8
9	I(0)	A(3)	S(0)	0.0	なし
10	I(0)	A(3)	S(1)	1.3	#1,#7,#13
11	I(0)	A(3)	S(2)	2.6	#2,#8,#14
12	I(0)	A(3)	S(3)	3.9	#1,#2,#7,#8,#13,#14
13	I(0)	A(4)	S(0)	0.0	なし
14	I(0)	A(4)	S(1)	1.5	#1,#7,#13,#19
15	I(0)	A(4)	S(2)	3.0	#2,#8,#14,#20
16	I(0)	A(4)	S(3)	4.5	#1,#2,#7,#8,#13,#14,#19,#20
17	I(1)	A(1)	S(0)	0.0	なし
18	I(1)	A(1)	S(1)	2.0	#1,#3
19	I(1)	A(1)	S(2)	4.0	#2,#4
20	I(1)	A(1)	S(3)	6.0	#1-#4
21	I(1)	A(2)	S(0)	0.0	なし
22	I(1)	A(2)	S(1)	2.2	#1,#3,#7,#9
23	I(1)	A(2)	S(2)	4.4	#2,#4,#8,#10
24	I(1)	A(2)	S(3)	6.6	#1,#2,#7,#8
25	I(1)	A(3)	S(0)	0.0	なし
26	I(1)	A(3)	S(1)	2.6	#1,#3,#7,#9,#13,#15
27	I(1)	A(3)	S(2)	5.2	#2,#4,#8,#10,#14,#16
28	I(1)	A(3)	S(3)	7.8	#1-#4,#7-#10,#13-#16
29	I(1)	A(4)	S(0)	0.0	なし
30	I(1)	A(4)	S(1)	3.4	#1,#3,#7,#9,#13,#15,#19,#21
31	I(1)	A(4)	S(2)	7.8	#2,#4,#8,#10,#14,#16,#20,#22
32	I(1)	A(4)	S(3)	11.2	#1-#4,#7-#10,#13-#16,#19-#22
33	I(2)	A(1)	S(0)	0.0	なし
34	I(2)	A(1)	S(1)	3.0	#1,#5
35	I(2)	A(1)	S(2)	6.0	#2,#6
36	I(2)	A(1)	S(3)	9.0	#1,#2,#5,#6
37	I(2)	A(2)	S(0)	0.0	なし
38	I(2)	A(2)	S(1)	3.3	#1,#5,#7,#11
39	I(2)	A(2)	S(2)	6.6	#2,#6,#8,#12
40	I(2)	A(2)	S(3)	9.9	#1,#2,#5,#6,#7,#8,#11,#12
41	I(2)	A(3)	S(0)	0.0	なし
42	I(2)	A(3)	S(1)	3.9	#1,#5,#7,#11,#13,#17
43	I(2)	A(3)	S(2)	7.8	#2,#6,#8,#12,#14,#18
44	I(2)	A(3)	S(3)	11.7	#1,#2,#5-#8,#11-#14,#17,#18
45	I(2)	A(4)	S(0)	0.0	なし
46	I(2)	A(4)	S(1)	5.1	#1,#5,#7,#11,#13,#17,#19,#23
47	I(2)	A(4)	S(2)	10.2	#2,#6,#8,#12,#14,#18,#20,#24
48	I(2)	A(4)	S(3)	15.3	#1,#2,#5-#8,#11-#14,#17-#20,#23,#24
49	I(3)	A(1)	S(0)	0.0	なし
50	I(3)	A(1)	S(1)	4.0	#1,#3,#5
51	I(3)	A(1)	S(2)	8.0	#2,#4,#6
52	I(3)	A(1)	S(3)	12.0	#1-#6
53	I(3)	A(2)	S(0)	0.0	なし
54	I(3)	A(2)	S(1)	4.4	#1,#3,#5,#7,#9,#11
55	I(3)	A(2)	S(2)	8.8	#2,#4,#6,#8,#10,#12
56	I(3)	A(2)	S(3)	13.2	#1-#12
57	I(3)	A(3)	S(0)	0.0	なし
58	I(3)	A(3)	S(1)	5.2	#1,#3,#5,#7,#9,#11,#13,#15,#17
59	I(3)	A(3)	S(2)	10.4	#2,#4,#6,#8,#10,#12,#14,#16,#18
60	I(3)	A(3)	S(3)	15.6	#1-#18
61	I(3)	A(4)	S(0)	0.0	なし
62	I(3)	A(4)	S(1)	6.8	#1,#3,#5,#7,#9,#11,#13,#15,#17,#19,#21,#23
63	I(3)	A(4)	S(2)	13.6	#2,#4,#6,#8,#10,#12,#14,#16,#18,#20,#22,#24
64	I(3)	A(4)	S(3)	20.4	#1-#24

第 12 図

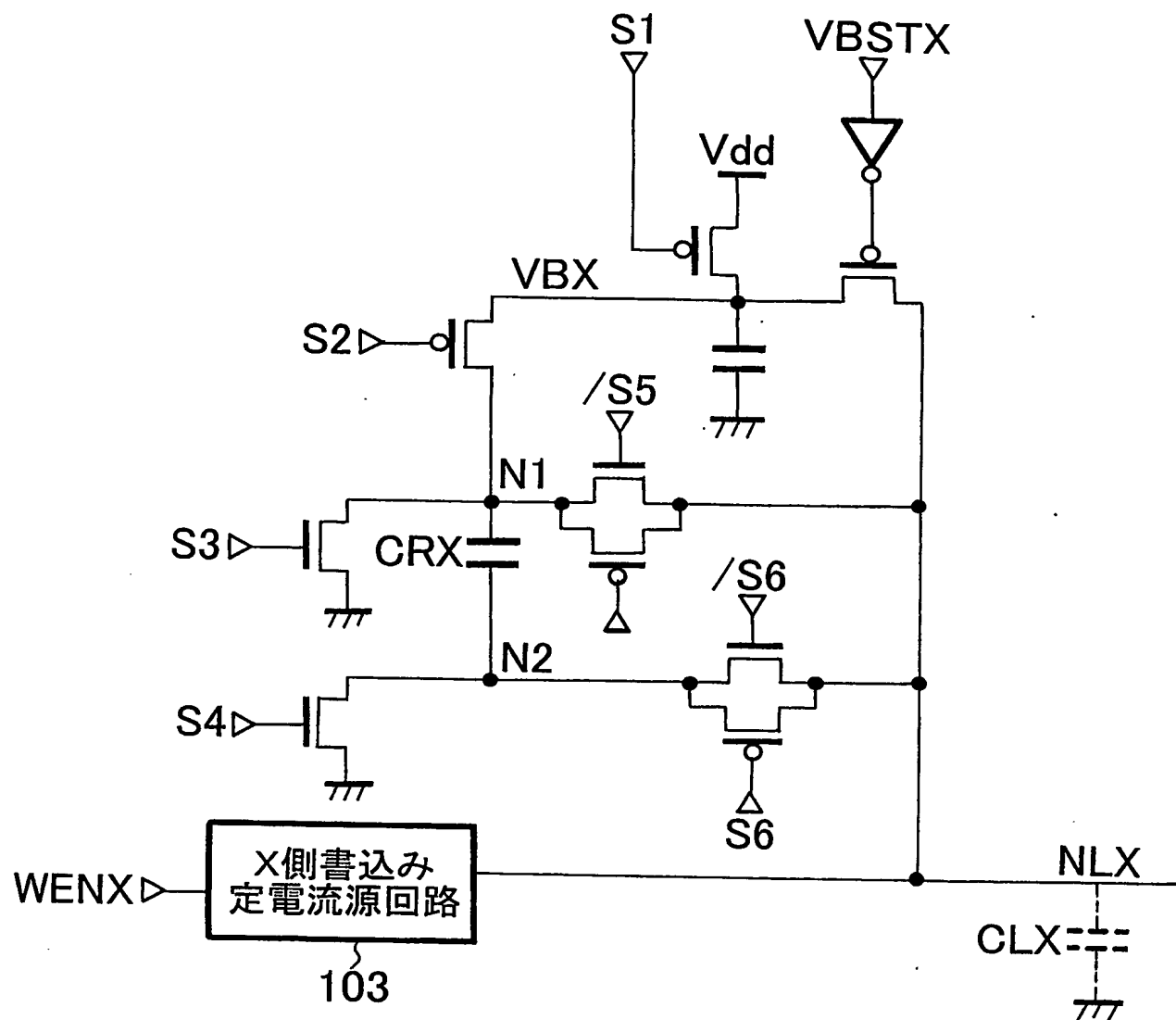
(A)



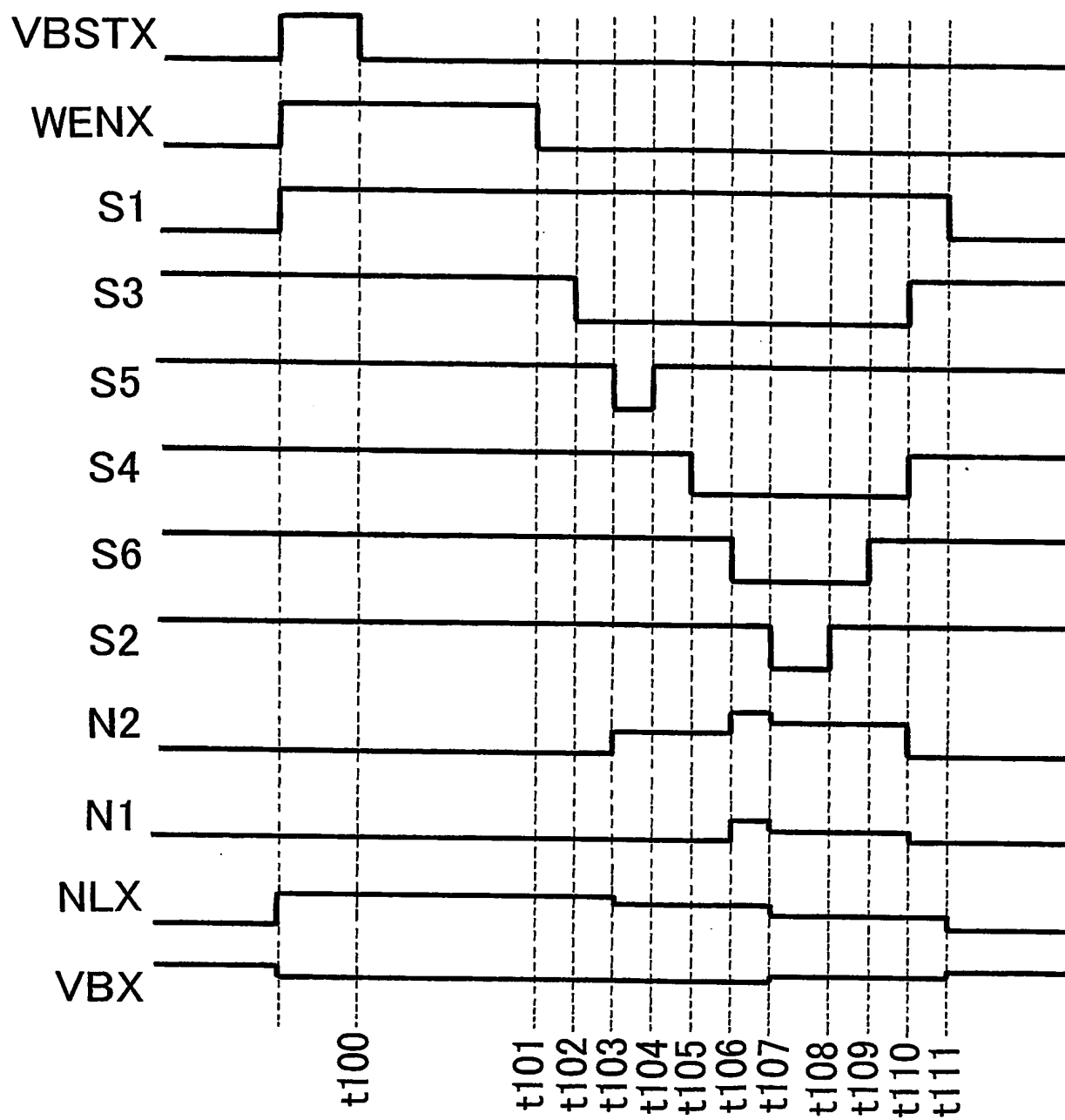
(B)



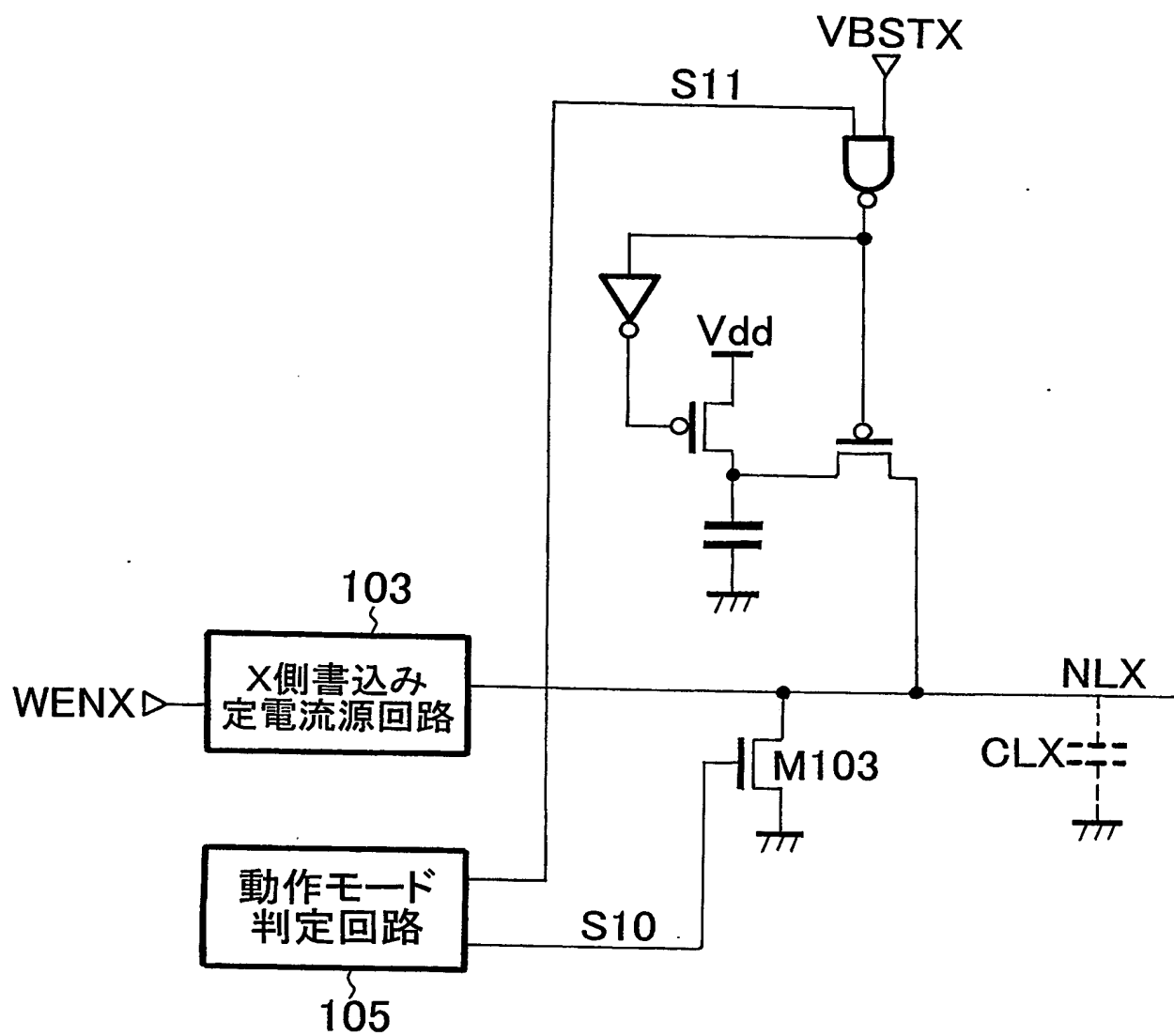
第 13 図



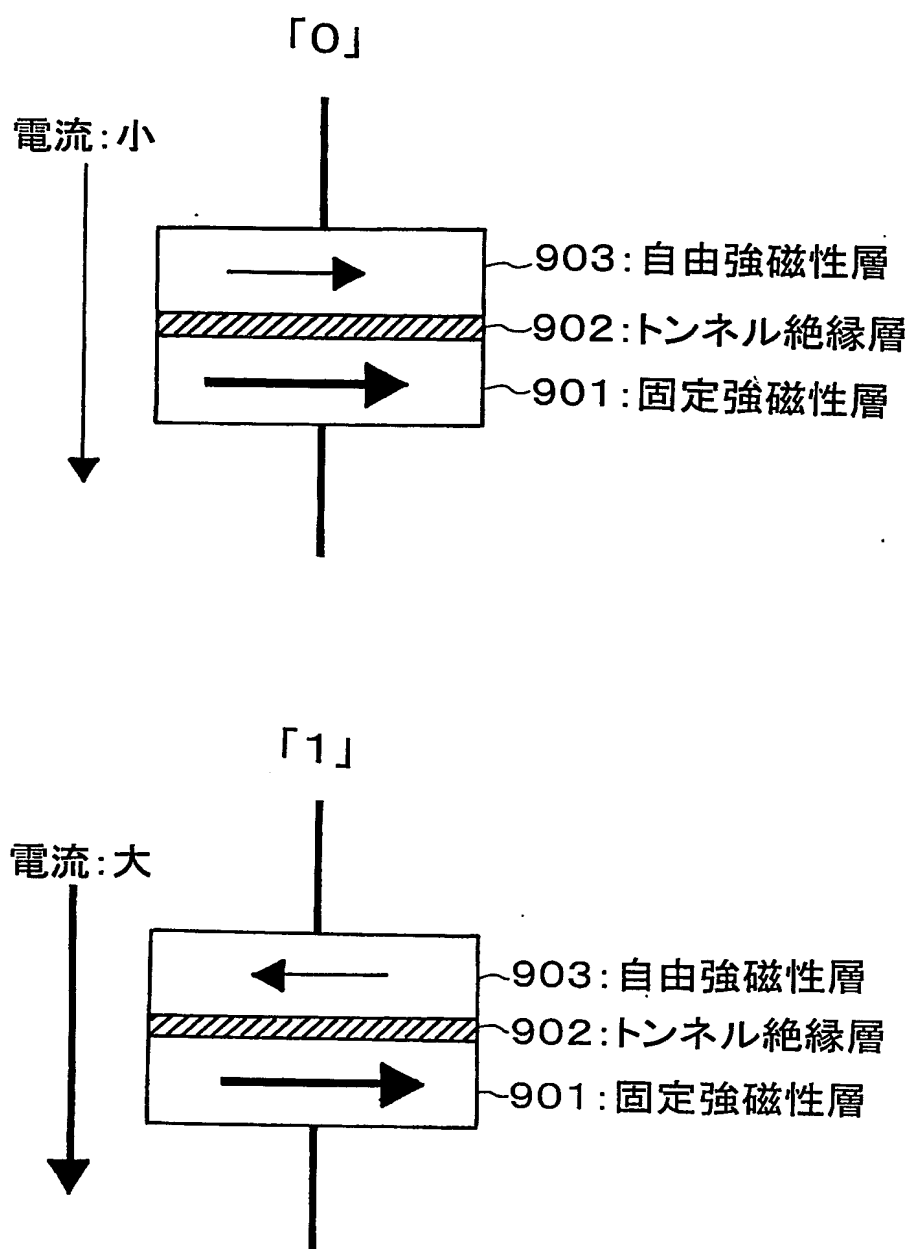
第 14 図



第 15 図

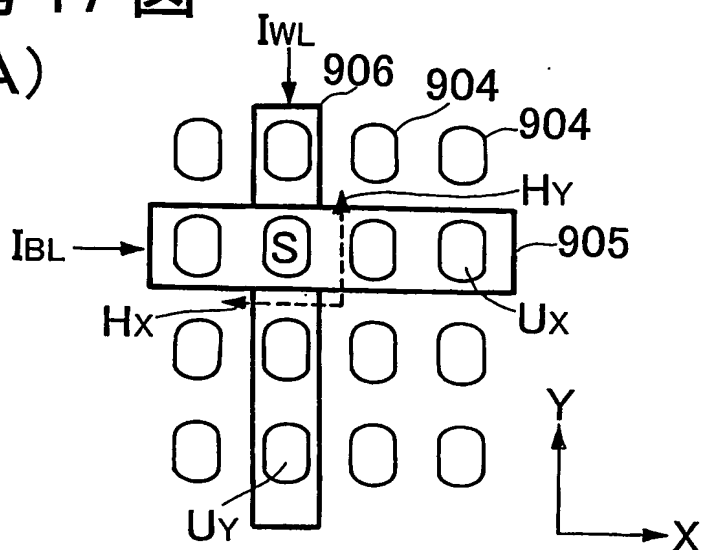


第 16 図

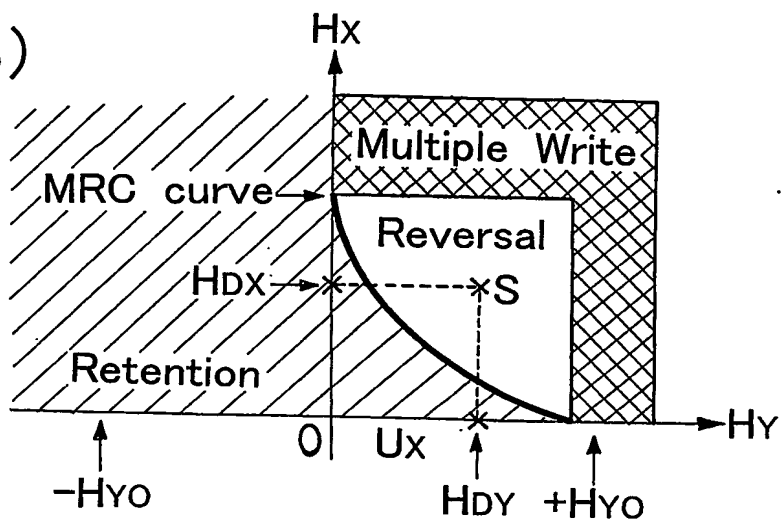


第 17 図

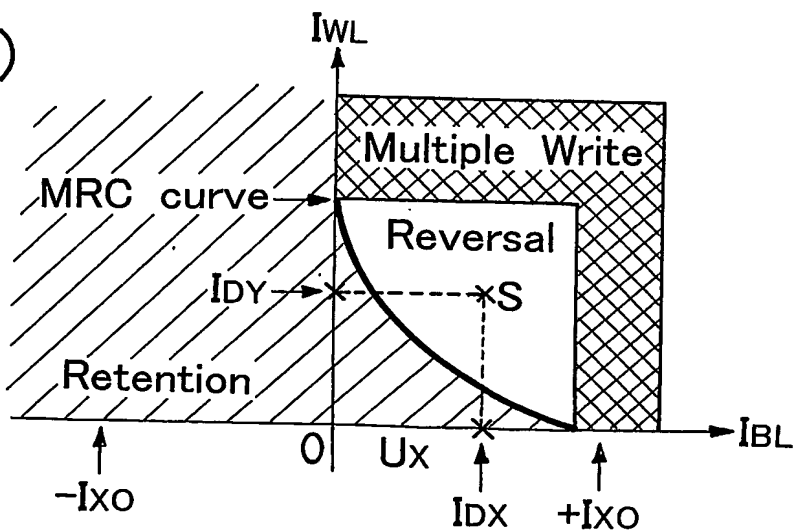
(A)



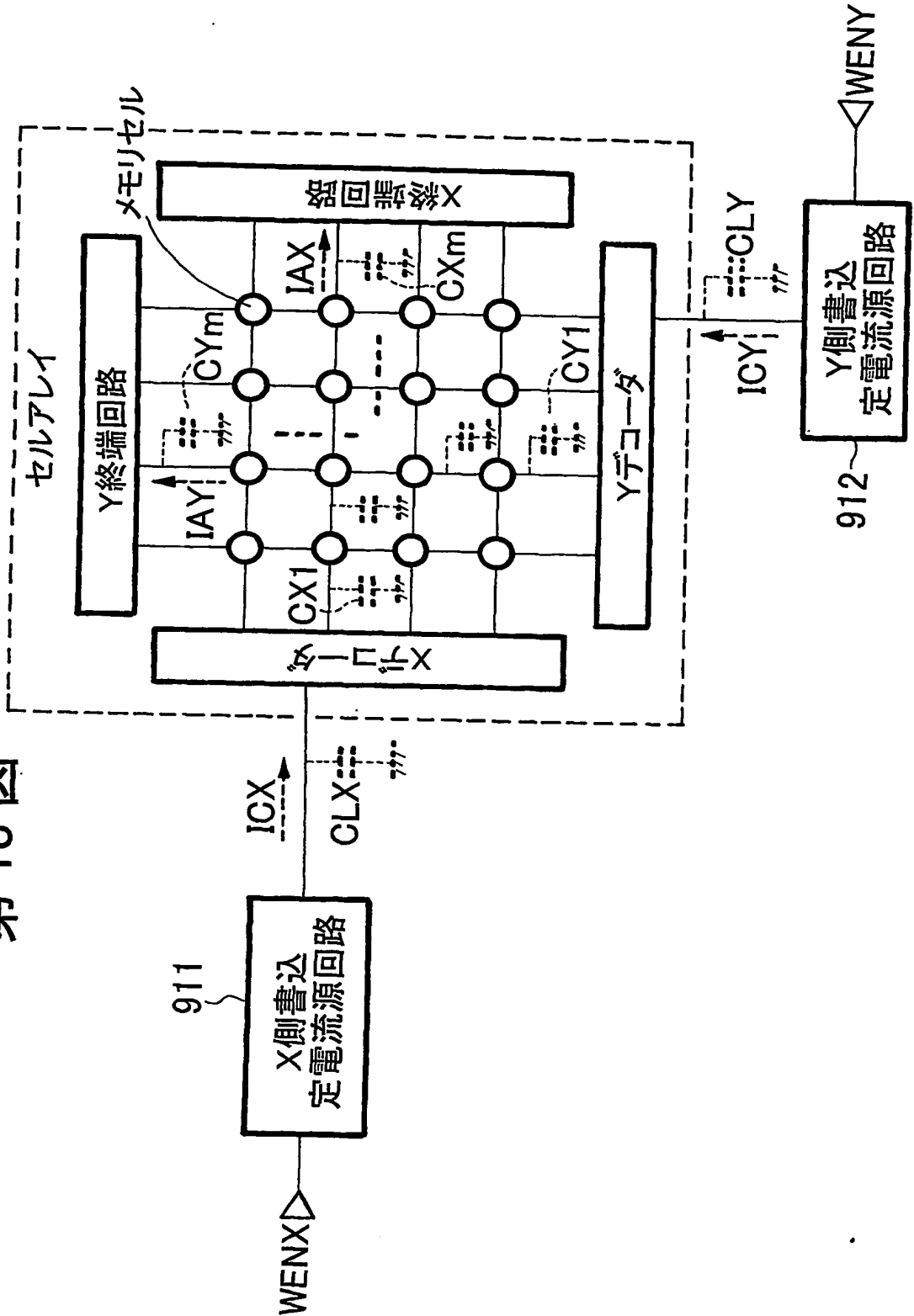
(B)



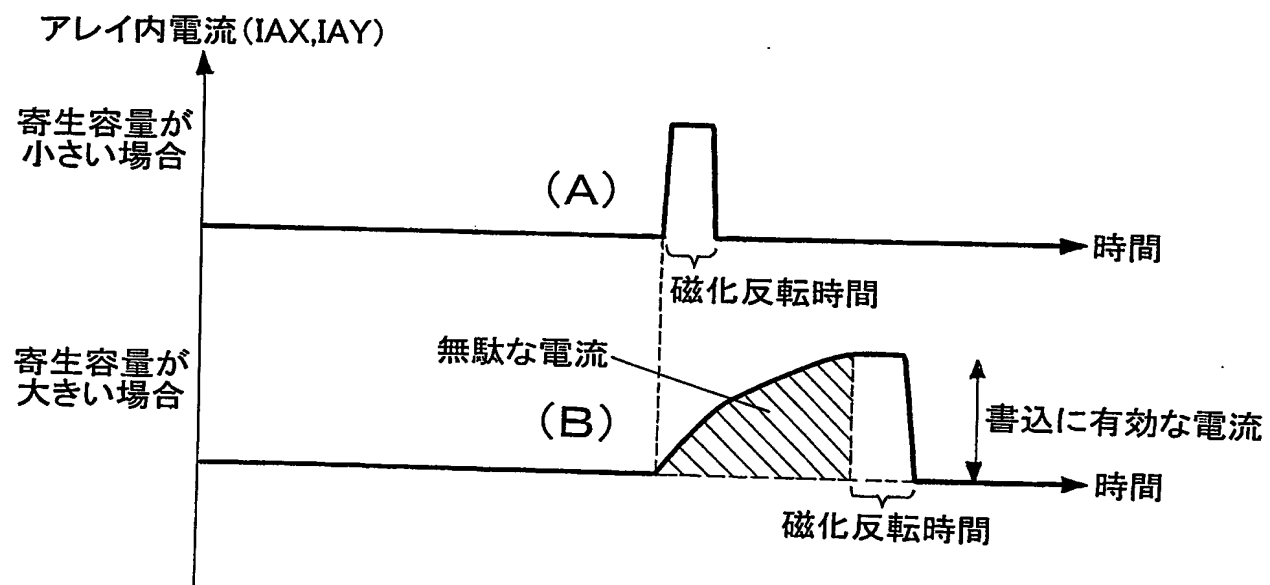
(C)



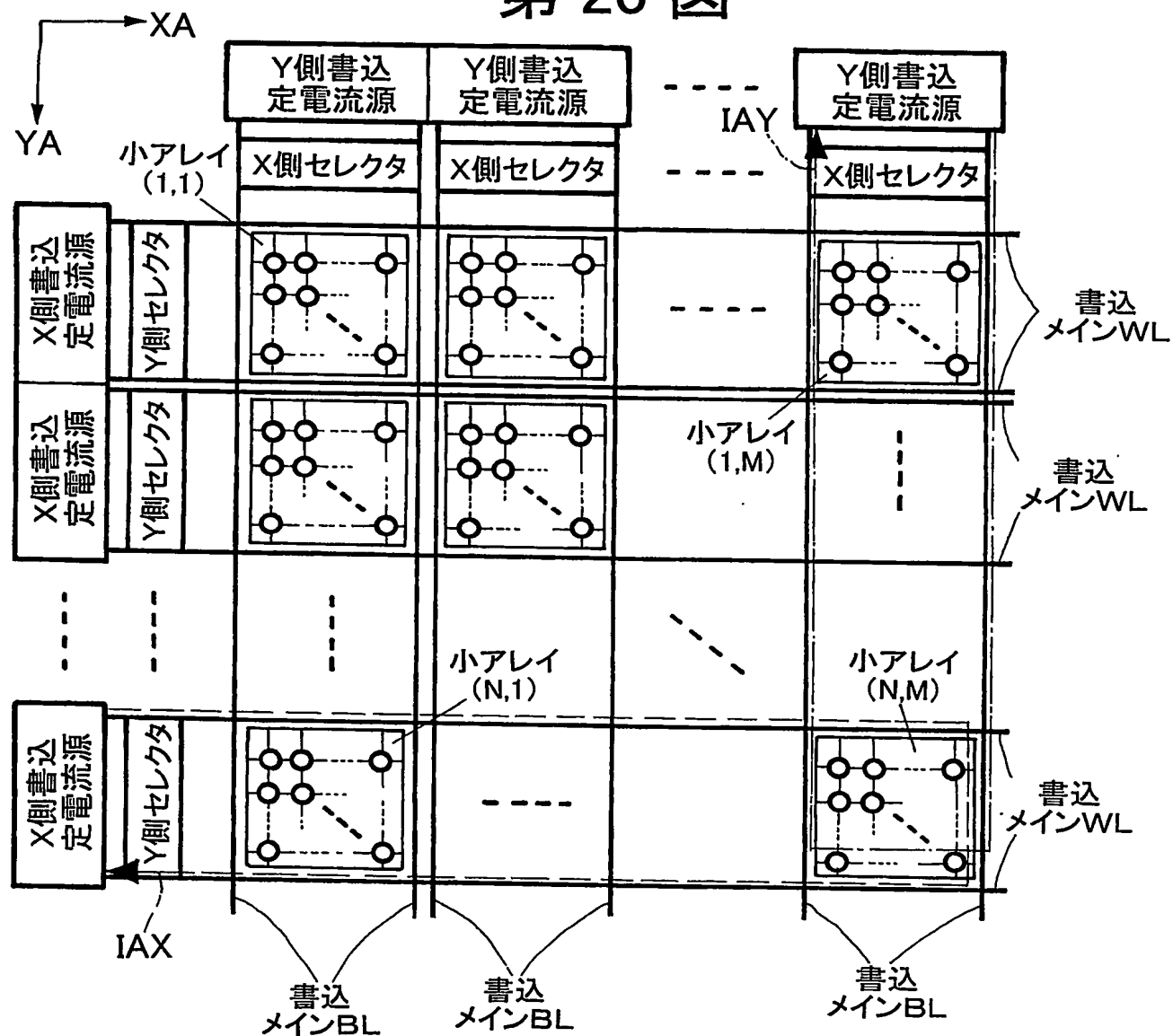
第18図



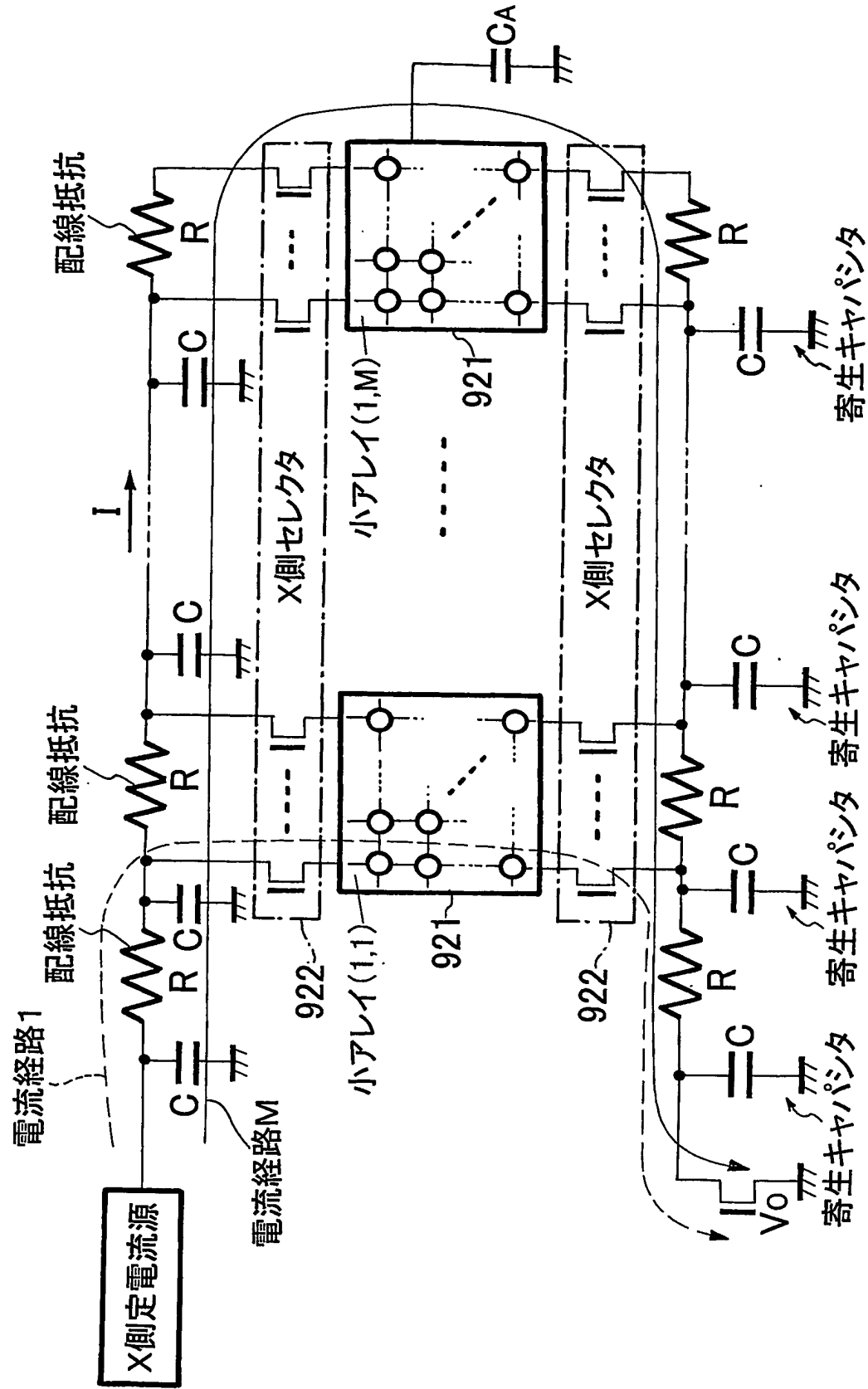
第 19 図



第 20 図



第 21 図



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP03/16981

A. CLASSIFICATION OF SUBJECT MATTER

Int.Cl⁷ G11C11/15

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

Int.Cl⁷ G11C11/15

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Jitsuyo Shinan Koho	1922-1996	Toroku Jitsuyo Shinan Koho	1994-2004
Kokai Jitsuyo Shinan Koho	1971-2004	Jitsuyo Shinan Toroku Koho	1996-2004

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	JP 10-106255 A (Toshiba Corp.), 24 April, 1998 (24.04.98), Full text; all drawings & US 5894447 A	1-13
A	JP 2002-93144 A (Infineon Technologies AG.), 29 March, 2002 (29.03.02), Full text; all drawings & US 2002/0024875 A1 & EP 1170750 A1 & DE 10032272 A & CN 1337708 A	1-13
P,A	JP 2003-123464 A (Canon Inc.), 25 April, 2003 (25.04.03), Par. Nos. [0014] to [0015]; Fig. 11 (Family: none)	1

☐ Further documents are listed in the continuation of Box C.

☐ See patent family annex.

* Special categories of cited documents:
 "A" document defining the general state of the art which is not considered to be of particular relevance
 "E" earlier document but published on or after the international filing date
 "L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)
 "O" document referring to an oral disclosure, use, exhibition or other means
 "P" document published prior to the international filing date but later than the priority date claimed

"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention
 "X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone
 "Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art
 "&" document member of the same patent family

Date of the actual completion of the international search
06 April, 2004 (06.04.04)

Date of mailing of the international search report
20 April, 2004 (20.04.04)

Name and mailing address of the ISA/
Japanese Patent Office

Authorized officer

Facsimile No.

Telephone No.

A. 発明の属する分野の分類 (国際特許分類 (IPC))

Int.Cl⁷ G11C 11/15

B. 調査を行った分野

調査を行った最小限資料 (国際特許分類 (IPC))

Int.Cl⁷ G11C 11/15

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報	1922-1996年
日本国公開実用新案公報	1971-2004年
日本国登録実用新案公報	1994-2004年
日本国実用新案登録公報	1996-2004年

国際調査で使用した電子データベース (データベースの名称、調査に使用した用語)

C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号
A	JP 10-106255 A(株式会社東芝) 1998.04.24, 全文, 全図 & US 5894447 A	1-13
A	JP 2002-93144 A(インフィネオン テクノロジーズ アクチエンゲゼルシャフト) 2002.03.29, 全文, 全図 & US 2002/0024875 A1 & EP 1170750 A1 & DE 10032272 A & CN 1337708 A	1-13
PA	JP 2003-123464 A(キャノン株式会社) 2003.04.25, 段落番号0014~0015, 図面11図 (ファミリー無し)	1

☐ C欄の続きにも文献が列挙されている。☐ パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー

「A」 特に関連のある文献ではなく、一般的技術水準を示すもの
「E」 国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの
「L」 優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献 (理由を付す)
「O」 口頭による開示、使用、展示等に言及する文献
「P」 国際出願日前で、かつ優先権の主張の基礎となる出願

の日の後に公表された文献
「T」 国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの
「X」 特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの
「Y」 特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの
「&」 同一パテントファミリー文献

国際調査を完了した日 06.04.2004

国際調査報告の発送日 20.4.2004

国際調査機関の名称及びあて先
日本国特許庁 (ISA/JP)
郵便番号100-8915
東京都千代田区霞が関三丁目4番3号

特許庁審査官 (権限のある職員)
飯田 清司

5N 8731

電話番号 03-3581-1101 内線 6842